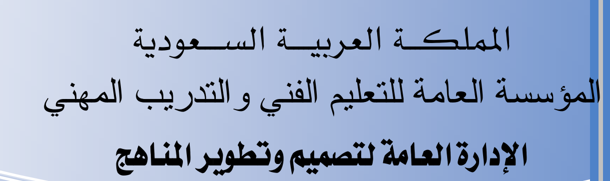

المملكــة العربيــة الســعودية
المؤسسة العامة للتعليم الفني و التدريب المهني
الإدارة العامة لتصميم وتطوير المناهج

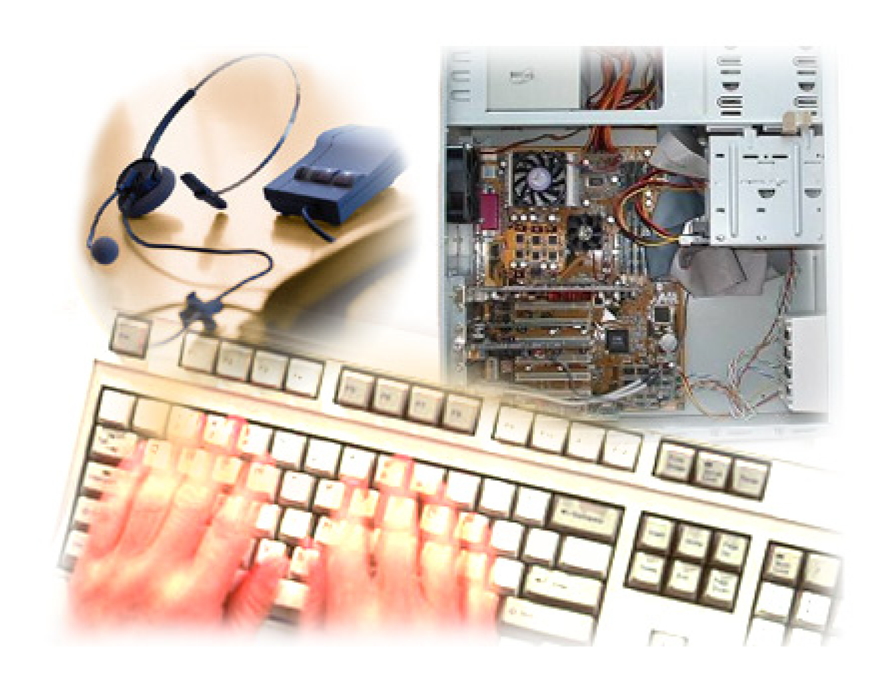


قررت المؤسسة العامة للتعليم الفني والتدريب المهني تدريس هذه الحقيبة في " المعاهد الثانوية الفنية "

الحاسب الآلي

الدوائر الرقمية

الصف الثاني



نسخة أولية ١٤٢٥هـ

مقدمة

الحمد لله وحده، والصلاة والسلام على من لا نبي بعده، محمد وعلى آله وصحبه، وبعد:

تسعى المؤسسة العامة للتعليم الفني والتدريب المهني لتأهيل الكوادر الوطنية المدربة القادرة على شغل الوظائف التقنية والفنية والمهنية المتوفرة في سوق العمل، ويأتي هذا الاهتمام نتيجة للتوجهات السديدة من لدن قادة هذا الوطن التي تصب في مجملها نحو إيجاد وطن متكامل يعتمد ذاتياً على موارده وعلى قوة شبابه المسلح بالعلم والإيمان من أجل الاستمرار قدماً في دفع عجلة التقدم التنموي؛ لتصل بعون الله تعالى لمصاف الدول المتقدمة صناعياً.

وقد خطت الإدارة العامة لتصميم وتطوير المناهج خطوة إيجابية تتفق مع التجارب الدولية المتقدمة في بناء البرامج التدريبية، وفق أساليب علمية حديثة تحاكي متطلبات سوق العمل بكافة تخصصاته لتلبي متطلباته، وقد تمثلت هذه الخطوة في مشروع إعداد المعايير المهنية الوطنية الذي يمثل الركيزة الأساسية في بناء البرامج التدريبية، إذ تعتمد المعايير في بنائها على تشكيل لجان تخصصية تمثل سوق العمل والمؤسسة العامة للتعليم الفني والتدريب المهني بحيث تتوافق الرؤية العلمية مع الواقع العملي الذي تفرضه متطلبات سوق العمل، لتخرج هذه اللجان في النهاية بنظرة متكاملة لبرنامج تدريبي أكثر التصاقاً بسوق العمل، وأكثر واقعية في تحقيق متطلباته الأساسية.

وتتناول هذه الحقيبة التدريبية " الدوائر الرقمية" لمتدربي قسم" الحاسب الآلي " للمعاهد الفنية الصناعية موضوعات حيوية تتناول كيفية اكتساب المهارات اللازمة لهذا التخصص.

والإدارة العامة لتصميم وتطوير المناهج وهي تضع بين يديك هذه الحقيبة التدريبية تأمل من الله عز وجل أن تسهم بشكل مباشر في تأصيل المهارات الضرورية اللازمة، بأسلوب مبسط يخلو من التعقيد، وبالاستعانة بالتطبيقات والأشكال التي تدعم عملية اكتساب هذه المهارات.

والله نسأل أن يوفق القائمين على إعدادها والمستفيدين منها لما يحبه ويرضاه، إنه سميع مجيب الدعاء.

الإدارة العامة لتصميم وتطوير المناهج

تمهيد

أبرزت الإلكترونيات الرقمية نمو مستمر وسريع خلال العقود الأخيرة. يتمثل هذا النمو في نتائج لخطوات متقدمة استحوذتها التطبيقات في مجال تصميم وتصنيع الإلكترونيات الدقيقة، تقنية الحاسوب وأنظمة المعلومات. ما أدى إلى استخدام الدوائر الرقمية في تزايد مستمر .

إن الدوائر الرقمية متواجدة في كل أنواع المعدات الالكترونية من الساعة الالكترونية إلى أجهزة الحواسيب الكبيرة.

إنه من الضروري معرفة النظريات الأساسية للإلكترونيات الرقمية لغرض فهم مبادئ الدوائر الرقمية ، اكتساب المهارات وإمكانية تصحيح الخطأ.

وللوصول إلى الهدف المطلوب نشرع في مقدمة في الدوائر الرقمية والتماثلية وكذلك أنواع الإشارات التي غالباً ما نلقاها متواجدة في هذا المجال والأدوات والأجهزة التي تمكننا من القياس وتصحيح الأخطاء في الدوائر الرقمية.

ويكون موضوع الوحدة الثانية التعرف على بعض النظم العددية التي لها علاقة مع نوع الإشارات المستخدمة في الدوائر الرقمية والتي تتمثل عموماً في حالتين للجهد، الحالة المنخفضة Low أو صفر والحالة المرتفعة High أو واحد وهذا يتلاءم رياضياً مع النظام العددي والثنائي والذي يتكون من الرمز 0 و1.

تتمثل الوظائف المنطقية الرقمية في العمليات الابتدائية الأساسية التي تؤديها الدوائر الرقمية. يكون موضوع البوابات الأساسية والثانوية محور هذه العمليات.

الهدف من الوحدة الرابعة هو تجميع وتركيب البوابات الأساسية والثانوية لأداء مهمة معينة. يبدأ من تطبيقات أو عمليات بسيطة كالجمع والمقارنة حتى نصل إلى الدوائر المعقدة مثل مجمع القنوات Multiplexer أو معدد Demultiplexer .

تزداد الدوائر الرقمية أكثر تعقيد عند دراسة القلابات مع أنواعها الرئيسة وجداول الحقيقة المتعلقة بكل نوع، مروراً بدوائر العدادات والمسجلات والذاكرة والتي على وجه العموم على تجميعات للقلابات تكون في تركيبات معينة.

والوصول في النهاية إلى آخر وحدة ما يكمننا من معرفة مبدأ تشغيل المعالج الدقيق الذي يتكون أساساً على تركيبة معقدة تحتوي على عدد كبير من البوابات الأساسية وأغلب الدوائر التي تعرفنا عليها في الوحدات السابقة.



المملكـــة العربيـــة الســـعودية
المؤسسة العامة للتعليم الفني والتدريب المهني
الإدارة العامة لتصميم وتطوير المناهج

الدوائر الرقمية

مقدمة الدوائر الرقمية

مقدمة الدوائر الرقمية

١

الجدارة:

معرفة الكميات الرقمية والكميات التماثلية والتفريق بينهما والقدرة على استخدام أجهزة القياس.

الأهداف:

يكون المتدرب بعد دراسة هذه الوحدة قادراً على:

١. التعرف على الكميات التماثلية والرقمية
٢. معرفة أنواع الإشارات الرقمية
٣. معرفة النبضات المستخدمة في الإشارات الرقمية
٤. معرفة النظم العددية و التحويل من نظام إلى نظام آخر.
٥. معرفة المستويات المنطقية
٦. معرفة أنواع أجهزة العرض والقياس المستخدمة في الدوائر الرقمية.

مستوى الأداء:

أن يصل المتدرب إلى إتقان الجدارة بنسبة ٩٠٪

الوقت المتوقع للتدريب:

أربعة حصص

الوسائل المساعدة:

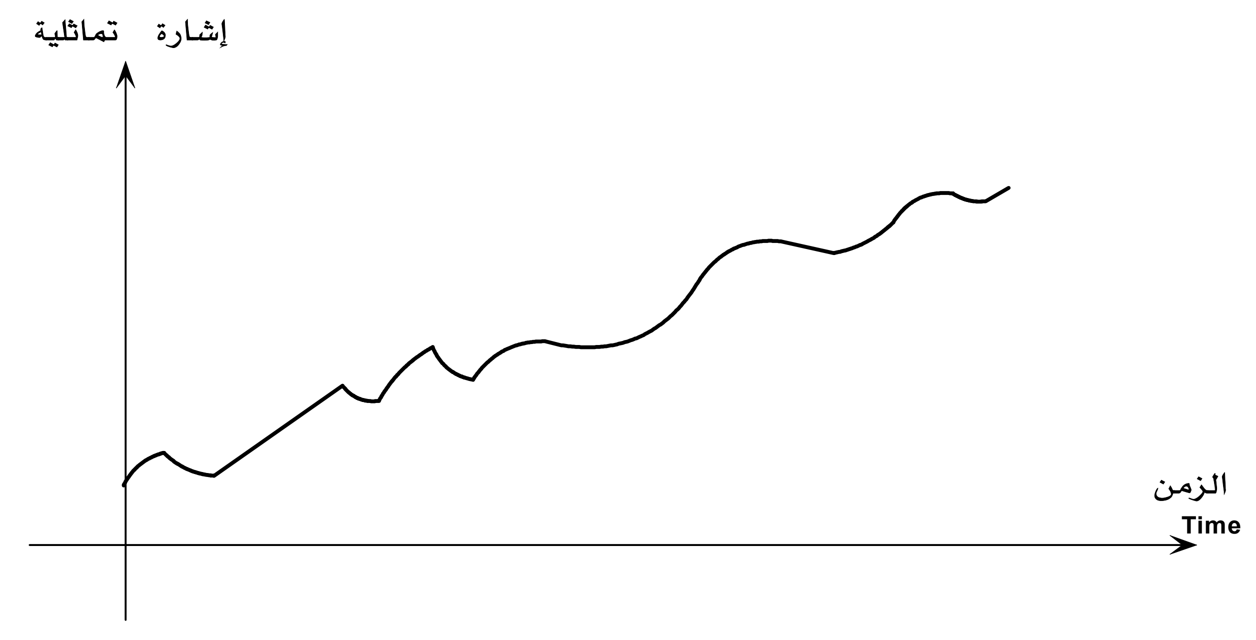
متطلبات الوحدة:

أولا :الكميات الرقمية والتماثلية

تنقسم الدوائر الالكترونية إلى قسمين : الرقمية والتماثلية. تحتوي الإلكترونيات الرقمية على كميات ذات قيم منفردة (Discrete) , أما الإلكترونيات التماثلية فإنها تحتوي على كميات ذات قيم متواصلة (Continuous).

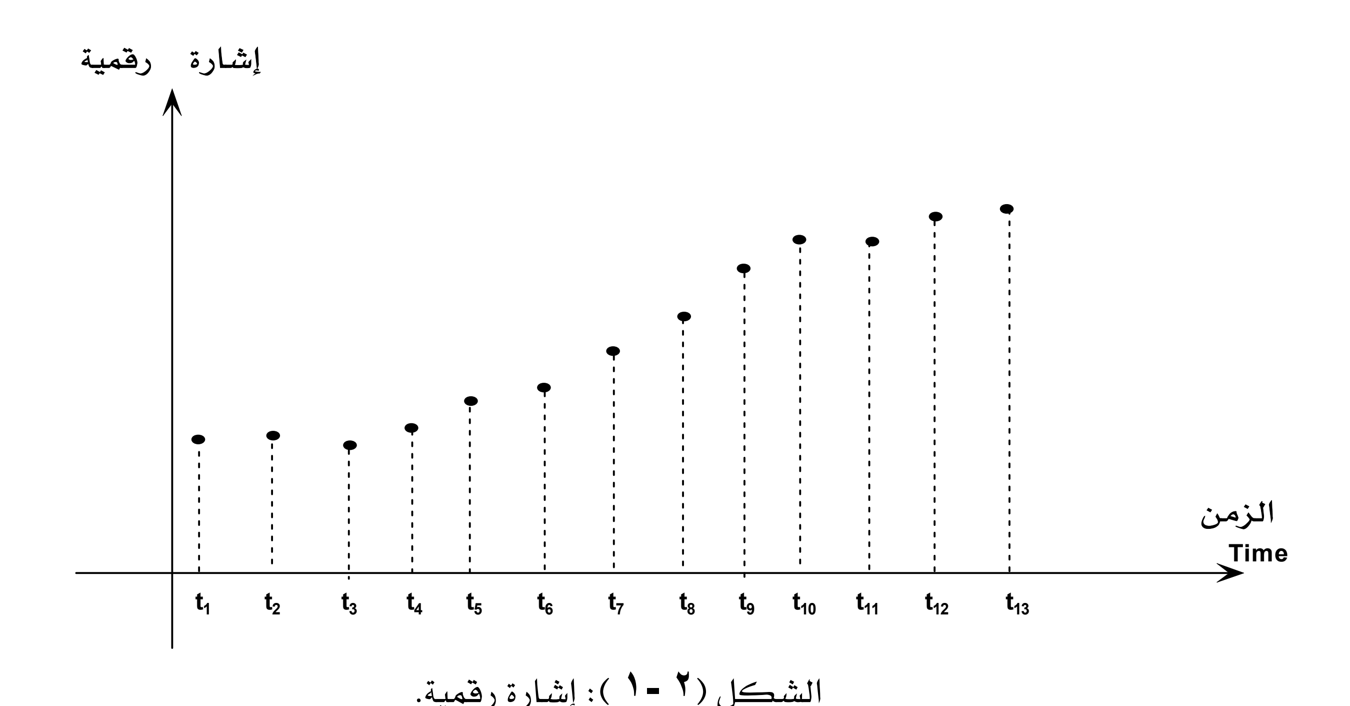
في كثير من الحالات تكون التطبيقات مبنية على الصيغة الرقمية والتماثلية للإشارة في نفس الوقت ، لذا يستحسن التعرف على الكميات والإشارات التماثلية بالرغم أن الموضوع الأساسي في حالتنا هو الإلكترونيات الرقمية.

الكمية التماثلية هي الكمية ذات القيم المتواصلة (Continuous) والكمية الرقمية هي الكمية ذات القيم المنفردة (Discrete) . يوضح الشكل (١ - ١) إشارة ذات صيغة تماثلية أما الشكل (٢ - ١) فهو يمثل إشارة ذات صيغة رقمية .



الشكل (١ - ١):إشارة تماثلية.

تكون طبيعة الظواهر الفيزيائية المراد قياسها أو معالجتها تماثلية. على سبيل المثال نذكر تغير درجة حرارة الجو التي غالباً ما تتراوح من قيمة إلى قيمة أخرى بصفة متواصلة سواء كانت حالة ارتفاع درجة الحرارة من الصباح الباكر إلى الزوال أو انخفاضها من بداية العصر إلى آخر الليل.

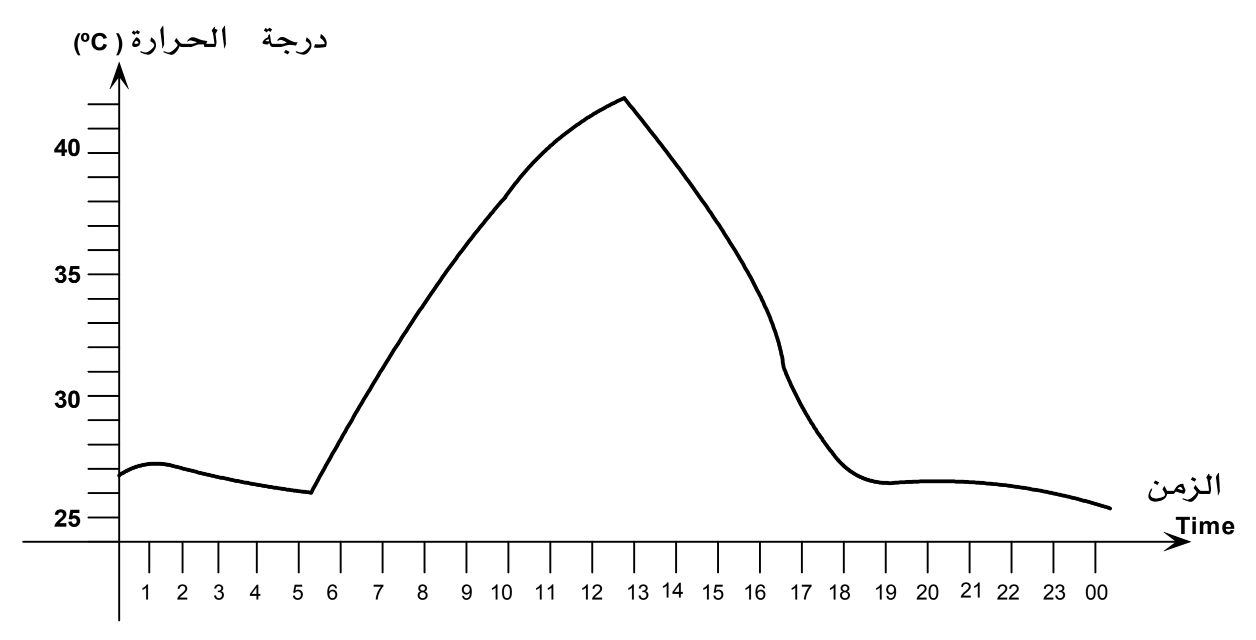


الشكل (٢ - ١): إشارة رقمية.

إذا قمنا بقياس درجة الحرارة بواسطة حساس دقيق فإننا نلاحظ أن التغير يحدث بصفة متواصلة من قيمة إلى أي قيمة أخرى, قد يبلغ عدد القيم بين هاتين القيمتين عدد يقارب ما لا نهاية من القيم.

لهذا السبب تكون عملية معالجة تماثلية بواسطة الحاسب مستحيلة لأن الحاسب يتعامل بكميات محددة ومعروفة لديه ألا وهي الكميات الثنائية (الأصفار و الآحاد) والتي هي أبسط صيغة للكميات الرقمية.

إذا أردنا رسم درجة الحرارة بدلالة الزمن خلال يوم صيفي حار فإنه سيشبه المنحنى المرسوم على الشكل (٣ - ١). نلاحظ في هذه الحالة تواصل كل نقاط المنحنى مع بعضها.

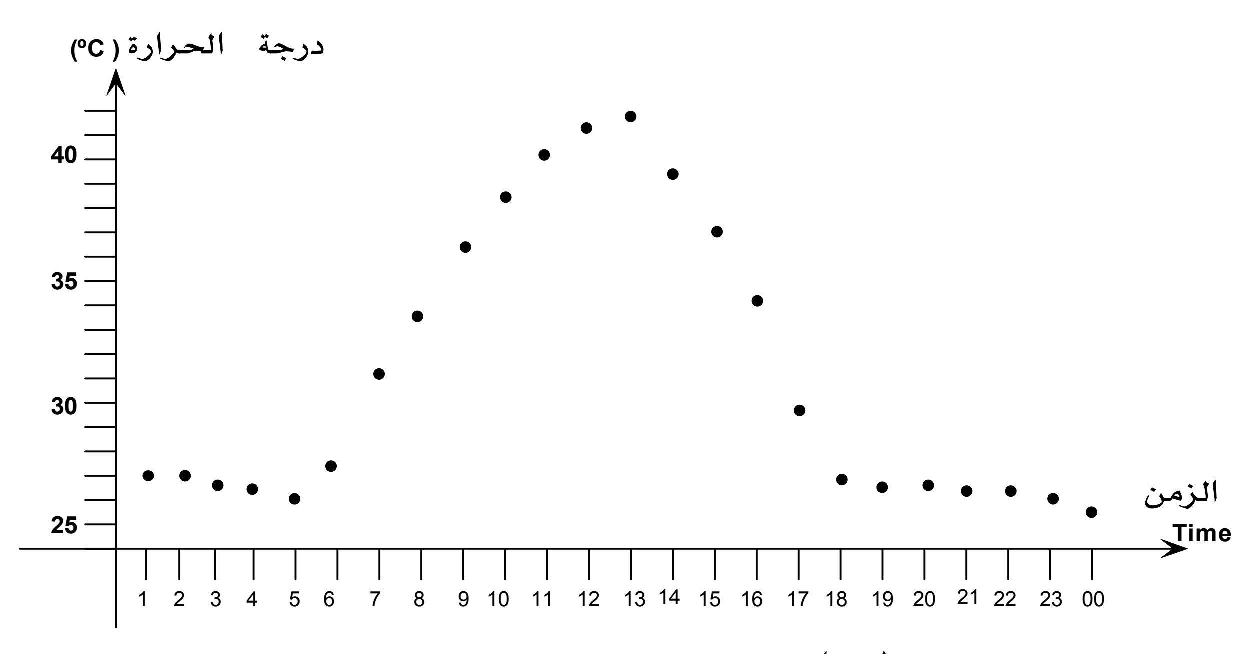


الشكل (١ - ٣): إشارة تماثلية تبين درجة الحرارة بدلالة الزمن ليوم صيفي.

إذا أردنا معالجة درجة الحرارة بجهاز إظهار رقمي أو بالحاسب فما علينا إلا أن نرقم هذه الإشارة.

وتحتوي عملية الترقيم على عدة مراحل نذكر منها:

١. أخذ عينات للإشارة التماثلية Sampling ما يعني قياس درجة الحرارة في كل ساعة فقط و هذا ما هو موضح بالشكل (١ - ٤)

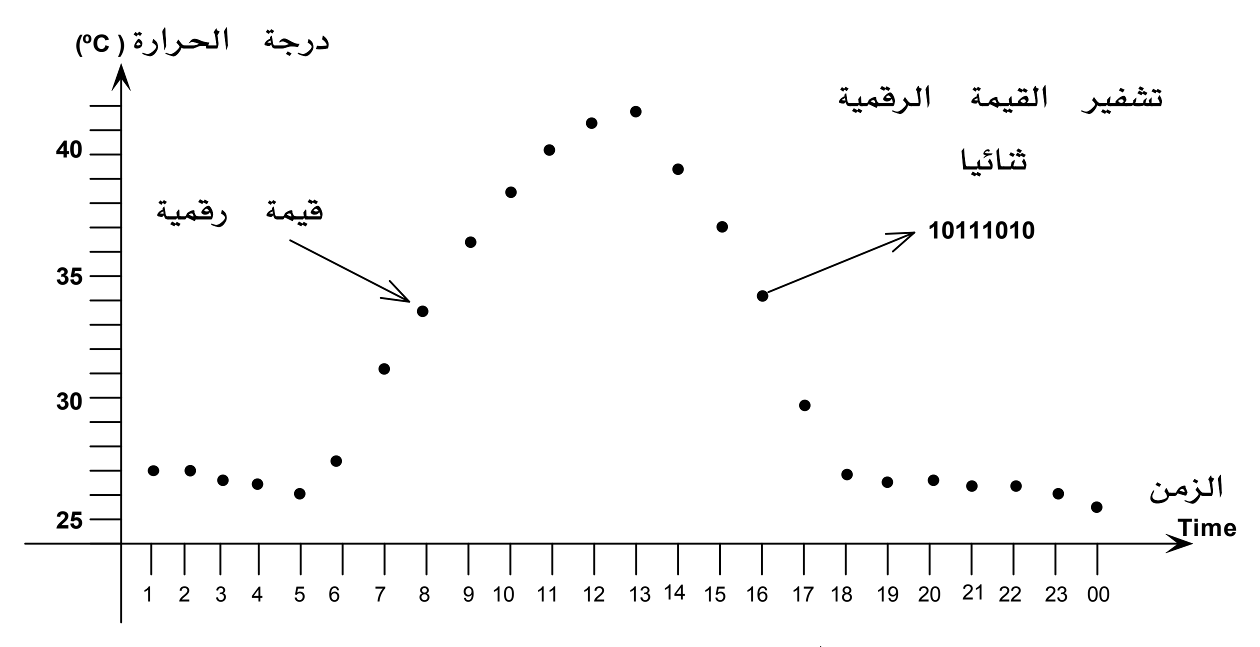


الشكل (١ - ٤)عينات في كل ساعة للإشارة التماثلية السابقة.

٢. تكميم العينات Quantization : الهدف من هذه العملية هو استخدام عدد محدود وثابت من القيم التي تقارب قيم أي عينات مأخوذة بين أدنى قيمة وأقصى قيمة للإشارة,لأننا إذا أخذنا عينات نفس الظاهرة في زمن آخر نحصل على قيم أخرى وهذا ما يؤدي إلى تزايد قيم العينات في كل مرة نعالج الإشارة التماثلية. فالهدف من التكميم هو تحديد عدد القيم التي سوف تعالج في المرحلة التالية.

٣. مرحلة التشفير Encoding : والتي تحتوي على تمثيل أي قيم من القيم المكممة المحدودة العدد بواسطة سلسلة من البتات الثنائية (آحاد و أصفار) ، انظر إلى الشكل (٥ -١).

وتكون عملية التشفير من العشري إلى الثنائي ، و في هذه العملية تحتوي شريحة المشفر على دخل واحد وعدة مخارج.



الشكل (١ - ٥): عملية تشفير عينة مكممة.

إذا كان عدد مستويات المكمم 256 مستوى فسوف يكون المشفر ذو دخل واحد وثمان مخارج يعني تُشفر كل قيمة مكممة بواسطة 8 بتات ثنائية.

هكذا تصبح الإشارة التي كانت طبيعتها تماثلية، الآن رقمية وجاهزة للمعالجة بواسطة أي جهاز رقمي أو حاسب آلي.

يوجد بعض الدوائر المتكاملة Integrated Circuits التي تؤدي الوظائف الثلاثة السابق ذكرها وهي ما يُطلق عليها اسم المحولات التماثلية الرقمية Analog to Digital Converters (ADC).

كما يوجد أيضاً الدوائر التي تؤدي العمليات العكسية لعملية ADC وهي ما يُطلق عليها اسم المحولات الرقمية التماثلية (DAC). Digital to Analog Converters

يمتاز الرقمي على التماثلي في معظم التطبيقات الالكترونية. و تتميز أيضاً عملية المعالجة والإرسال للبيانات الرقمية بأكثر فعالية عن نظيرتها التماثلية.

ومن مزايا الإلكترونيات الرقمية على التماثلية مقاومتها للضوضاء أو التشويش وقدرة التخزين العالية .

الكميات الثنائية:

تحتوي الإلكترونيات الرقمية على دوائر وأنظمة تستخدم حالتين اثنين فقط. تتمثل هاتين الحالتين بقيمتين للجهد: المستوى العالي أو High و المنخفض أو Low.

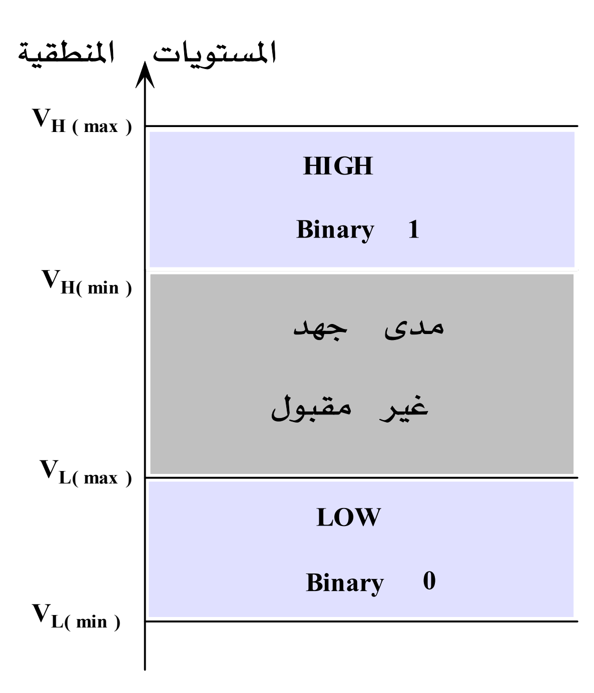
نستطيع أن نمثل الحالتين بمفاتيح مغلقة أو مفتوحة، مصباح مضيء "ON" أو مطفأ "OFF".

نستخدم الأرقام 0 و 1 للتعامل رياضياً مع هذا النوع من الحالات والنظام الرقمي الذي يتولى هذه العمليات هو النظام الثنائي والذي تحتوي رموزه على الأرقام 0 و 1.

في الدوائر الرقمية وفي حالة المنطقية الموجبة يتمثل البت 1 بالجهد العالي High والبت 0 بمستوى الجهد المنخفض Low.

المستويات المنطقية:

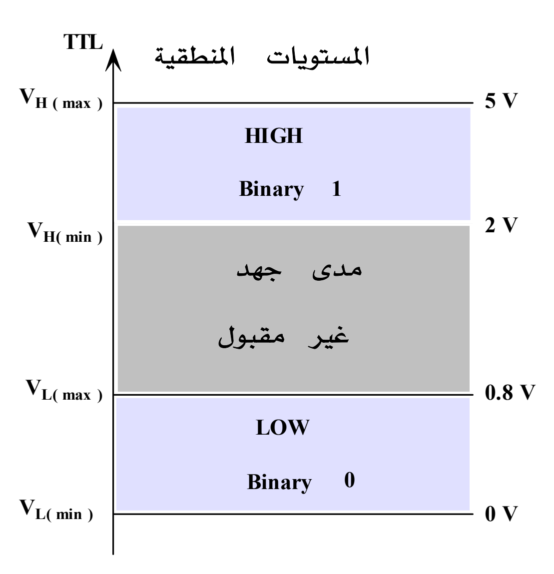
تسمى الجهود التي تُمثل 0 و 1 بمستويات منطقية. في الحالة المثالية يمثل أحد المستويات High والمستوى الثاني يمثل Low. لكن في الدوائر الرقمية يدل عملياً High على أي قيمة للجهد تكون قيمتها تتراوح بين قيمة محددة دنيا وقيمة محددة قصوى. كذلك الوضع بالنسبة للمستوى Low. يكون من غير المقبول تداخل مدى High مع مدى Low كما هو موضح بالشكل (٦ - ١).



الشكل (١ - ٦):المستويات المنطقية.

نرى من خلال الشكل أن جهد High يتراوح بين $V_{H(Min)}$ و $V_{H(Max)}$ كما يتراوح جهد Low بين $V_{L(Min)}$ و $V_{L(Max)}$ وتكون حالات القيم بين $V_{H(Min)}$ و $V_{H(Max)}$ غير مقبولة ، لأنها تستطيع أن تعني 0 كما تستطيع أن تعني 1. لذا تكون القيم في هذا المدى غير مستخدمة على الإطلاق.

على سبيل المثال في الدوائر الرقمية من نوع TTL يكون مدى High بين 2V و 5V ومدى Low بين 0V و 0.8V و هذا ما هو موضح في الشكل (٧ - ١).



الشكل (١ - ٧): المستويات المنطقية الخاصة بحالة TTL.

إذا استقبلنا إشارة رقمية في لحظة ما وكانت قيمتها 3.2V فسنقرأها كأنها High أو 1 وإذا حصلنا على إشارة قيمتها 0.6V فسوف تعني لنا جهد Low أو 0 . كل ما هو أكبر من 0.8V وأصغر من 2V يكون غير مقبول.

ثانيا :الأنظمة العددية

نظام العد العشري المعروف لدينا ليس هو النظام الوحيد الذي يمكن للإنسان استخدامه, ولكن بحكم اعتيادنا على هذا النظام أصبح من يُخيل إلينا أنه النظام العددي الوحيد. فيما يلي سنقوم بالتعرف على بعض الأنظمة العددية الأخرى وطرق التحويل فيما بينها.

أهم هذه الأنظمة هو النظام الثنائي Binary System لأنه لغة الدوائر الرقمية والتي تمثل الأساس التي تقوم عليه الحاسبات وجميع أنظمة التحكم والاتصال الرقمية الحديثة. كذلك سنقوم بدراسة النظام الست عشري Hexadecimal System لما له من استخدام واسع في الإلكترونيات الرقمية لتمثيل مجموعة كبيرة (سلسلة طويلة) في النظام الثنائي بعدد قليل من نظيرتها في النظام الست عشري.

جميع الأنظمة العددية تتشابه فيما بينها فهي جميعاً مبنية على ترتيب الرموز على شكل خانات وقيمة أي رمز تتحدد بحسب الخانة التي يقع فيها وعليه فإن أي نظام عددي يتميز بالآتي: -

١. عدد الرموز المستخدمة والتي تمثل أساس النظام.
٢. قيمة أي رمز تساوي الرمز مضروباً في الأساس مرفوعاً لقوة تساوي ترتيب الخانة ناقص واحد.

سنقوم أولاً بمراجعه للنظام العشري لكي تساعدنا على فهم الأنظمة العددية الأخرى.

النظام العشري Decimal System

النظام العشري مؤلف من عشرة رموز "أرقام" Digits وهي ٠, ١,٢,٣,٤,٥,٦,٧,٨, ٩ولهذا سُمي بالنظام العشري وأساس هذا النظام هو العدد ١٠ . ونستطيع تمثيل أي كمية عن طريق ترتيب هذه الرموز على شكل خانات حيث تملك كل خانة وزناً هو الرقم ١٠ مرفوعاً لقوة تساوي ترتيب الخانة ناقص واحد.

الجدول التالي يُمثل وزن كل خانة في النظام العشري:

....	10^3	10^2	10^1	10^0
....	1000	100	10	1
تمثيل الأرقام الصحيحة				

جدول (١ -١)

ولتوضيح الفكرة, نلقي نظرة على بعض الأمثلة.

مثال١:

كم قيمة الرقم ٦٢٣ ؟

الحل:

$(10^2 \times 6) + (10^1 \times 2) + (10^0 \times 3) =$	
$(100 \times 6) + (10 \times 2) + (1 \times 3) =$	
$600 + 20 + 3 = 623$	

فالرمز٣ في خانة الآحاد قيمته تساوي ٣ وحدات, والرمز٢ في خانة العشرات قيمته تساوي ٢٠ وحدة (أو عشرين) والرمز ٦ في خانة المئات قيمته تساوي ٦٠٠وحدة (أو ستة عشرات).

مثال٢:

كم قيمة الرقم ٢٥٧٤؟

الحل:

$(10^3 \times 2) + (10^2 \times 5) + (10^1 \times 7) + (10^0 \times 4) =$	
$2000 + 500 + 70 + 4 =$	
$= 2574$	

النظام الثنائي Binary System

يتألف هذا النظام من رمزين فقط ٠, ١ وأساس هذا النظام هو ٢ . أي أن وزن كل خانة يساوي ٢ مرفوعاً لقوة تساوي ترتيب الخانة ناقص واحد.

الجدول التالي يُعطي وزن كل خانة في النظام الثنائي:

2^0	2^1	2^2	2^3	2^4	2^5	....
1	2	4	8	16	32	....
تمثيل الأرقام الصحيحة						

جدول (٢ -١)

نظام العد الثنائي شبيه بالنظام العشري فنحن عندما نقوم بعملية العد نقوم بفتح خانة جديدة ونستمر بالعد ٠, ١,٢,٣ حتى نصل إلى ٩ ثم نقوم بفتح خانة جديدة ونستمر بالعد ١٠,١١,١٢, ١٣......... حتى نصل إلى ٩٩ فنقوم بفتح خانة ثالثة ونستمر بالعد ١٠٠,١٠١,١٠٢, ١٠٣......... وهكذا.

في النظام الثنائي نقوم بنفس العملية مع الاختلاف الوحيد هو أن لدينا رموز أقل وهذا من المفترض أن يجعل العملية أسهل قليلاً فكلما وصلت أي خانة إلى ١ نفتح خانة جديدة.

٠ ,١ الآن نفتح خانة جديدة

١٠ ,١١ الآن نفتح خانة جديدة

١٠٠ ,١٠١ , ١١٠ ,١١١ الآن نفتح خانة جديدة

١٠٠٠ ,١٠٠١ , ١٠١٠ ,١١١١ .... وهكذا..............

الجدول التالي يُمثل الأعداد من ٠ إلى ١٥ وما يُقابلها في النظام الثنائي :

النظام الثنائي	النظام العشري
٠٠٠٠	٠
٠٠٠١	١
٠٠١٠	٢
٠٠١١	٣
٠١٠٠	٤
٠١٠١	٥
٠١١٠	٦
٠١١١	٧
١٠٠٠	٨
١٠٠١	٩
١٠١٠	١٠
١٠١١	١١
١١٠٠	١٢
١١٠١	١٣
١١١٠	١٤
١١١١	١٥

جدول (٣ -١)

للتحويل من النظام الثنائي إلى النظام العشري فإننا نقوم بجمع قيمة كل خانة في الرقم الثنائي.

مثال١ :أوجد الرقم العشري المكافىء للرقم الثنائي ١٠١؟

الحل:

١٠١ تساوي:

	$(2^2 \times 1) + (2^1 \times 0) + (2^0 \times 1) =$
	$(4 \times 1) + (2 \times 0) + (1 \times 1) =$
	$4 + 0 + 1 = 5$

مثال٢ :

أوجد الرقم العشري المكافىء للرقم الثنائي ١١٠١١؟

الحل:

١١٠١١ تساوي:الأوزان	$2^0 \quad 2^1 \quad 2^2 \quad 2^3 \quad 2^4$
	١٦ ٨ ٤ ٢ ١
	× × × × ×
	١ ١ ٠ ١ ١
	↓ ↓ ↓ ↓ ↓
	١ + ٢ + ٠ + ٨ + ١٦= ٢٧

خواص النظام الثنائي:

١. رموز النظام الثنائي هي ٠ ,١

٢. أساس النظام الثنائي هو ٢

٣. خانات النظام الثنائي هي قوى العدد٢.

لوجود أكثر من نظام عد فإننا عادة ما نكتب الرقم بين قوسين ويكتب أسفل القوس أساس النظام المستخدم أمثلة:

أرقام ثنائية $(1101)_2, (100)_2$

أرقام عشرية $(257)_{10}, (101)_{10}$

النظام الست عشري Hexadecimal System

النظام الست عشري يتكون من ستة عشر رمزاً وهي:

A,B,C,D,E,F,٠,١,٢,٣,٤,٥,٦,٧,٨,٩

مع ملحوظة أن الحروف A,B,C,D,E,F تُكافىء الأرقام ١٠,١١,١٢,١٣,١٤,١٥.

٢ -٣ -١ خواص النظام الست عشري

١. أساس النظام الست عشري هو الرقم ١٦

٢. خانات النظام الست عشري هي قوى العدد١٦

....	16^2	16^1	16^0
....	256	16	1
تمثيل الأرقام الصحيحة			

جدول (٤ -١)

أمثلة: $(F5)_{16},(47)_{16},(1A3)_{16}$

مثال١:

حَوِل الرقم $(10B)$ إلى مكافئه العشري

الحل:

$(10B)$ لاحظ أن B تقابل ١١ في النظام العشري

$(16^2\times1)+(16^1\times0)+(16^0\times11)=$	
$(256\times1)+(16\times0)+(1\times11)=$	
$256+16+11=267$	
$\therefore(267)_{10}=(10B)_{16}$	

مثال٢ :

حَوِل الرقم $(10)_{16}$ إلى نظيره العشري

الحل:

$(10)_{16}$

	$(16^1 \times 1) + (16^0 \times 0) =$
	$(16 \times 1) + (1 \times 0) =$
	$16 + 0 = 16$
	$\therefore (16)_{10} = (10)_{16}$

الجدول التالي يُعطي الأعداد من 0 إلى 15 وما يكافؤها في النظامين الثنائي والست عشري.

النظام الست عشري	النظام الثنائي	النظام العشري
٠	٠٠٠٠	٠
١	٠٠٠١	١
٢	٠٠١٠	٢
٣	٠٠١١	٣
٤	٠١٠٠	٤
٥	٠١٠١	٥
٦	٠١١٠	٦
٧	٠١١١	٧
٨	١٠٠٠	٨
٩	١٠٠١	٩
A	١٠١٠	١٠
B	١٠١١	١١
C	١١٠٠	١٢
D	١١٠١	١٣
E	١١١٠	١٤
F	١١١١	١٥

جدول (٥ -١)

التحويل من النظام العشري إلى النظام الثنائي

للتحويل من النظام العشري إلى النظام الثنائي فإننا نستخدم طريقة القسمة المتكررة على 2 . وذلك بقسمة الرقم العشري على 2 ونحتفظ بالباقي ثم نقسم ناتج القسمة السابق على 2 مرة أخرى ونحتفظ بالباقي ونكرر العملية حتى يكون ناتج القسمة 0.

سوف يتألف الرقم الثنائي من سلسلة البواقي المحصل عليها, وهذا بإعطاء أعلى رتبة لآخر باقي في السلسلة وأدنى رتبة لأول باقي في السلسلة وهذا يجعل آخر باقي في أقصى يسار السلسلة وأول باقي في أقصى يمين السلسلة.

مثال١:

حول الرقم 6 إلى مكافئه الثنائي

الحل:

	الباقي	الناتج	القسمة
الأقل رتبة LSB(أقصى اليمين)	0	3	$6 \div 2 =$
	1	1	$3 \div 2 =$
الأعلى رتبة MSB(أقصى اليسار)	1	0	$1 \div 2 =$
			$\therefore (110)_2 = (6)_{10}$

مثال٢:

حول الرقم 19 إلى نظيره الثنائي

الحل:

	الباقي	الناتج	القسمة
الأقل رتبة LSB(أقصى اليمين)	1	9	$19 \div 2 =$
	1	4	$9 \div 2 =$
	0	2	$4 \div 2 =$
	0	1	$2 \div 2 =$
الأعلى رتبة MSB(أقصى اليسار)	1	0	$1 \div 2 =$
			$\therefore (10011)_2 = (19)_{10}$

ويمكن التأكد من صحة الحل من خلال تحويل الرقم الثنائي إلى مكافئه العشري مرة أخرى.

$(10011)_2$

$(2^4 \times 1) + (2^3 \times 0) + (2^2 \times 0) + (2^1 \times 1) + (2^0 \times 1) =$	
$(16 \times 1) + (8 \times 0) + (4 \times 0) + (2 \times 1) + (1 \times 1) =$	
$16 + 0 + 0 + 2 + 1 = 5$	
$= (19)_{10}$	

التحويل من النظام العشري إلى النظام الست عشري

للتحويل من النظام العشري إلى النظام الست عشري، فإننا نستخدم طريقة القسمة المكررة على ١٦.
نقسم العدد العشري على ١٦ ونحتفظ بالباقي ثم نقسم ناتج القسمة السابقة على ١٦ مرة أخرى ونحتفظ بالباقي. نكرر هذه العملية حتى يصبح ناتج القسمة يساوي ٠ , كما هو موضح في المثال التلي: -

مثال١ :

حول الرقم العشري 137 إلى مكافئه الست عشري.

الحل:

	الباقي	الناتج	القسمة
الأقل رتبة LSB(أقصى اليمين)	9	8	$137 \div 16 =$
الأعلى رتبة MSB(أقصى اليسار)	8	0	$8 \div 16 =$
			$\therefore (89)_{16} = (137)_{10}$

مثال٢ :

حول الرقم العشري 2793 إلى مكافئه الست عشري.

	الباقي	الناتج	القسمة
الأقل رتبة LSB(أقصى اليمين)	9	174	$2793 \div 16 =$
	E=١٤	10	$174 \div 16 =$
الأعلى رتبة MSB(أقصى اليسار)	10 A=	٠	$10 \div 16 =$
			$\therefore (AE9)_{16} = (2793)_{10}$

وهكذا يكون العدد العشري $(2793)_{10}$ مكافئ العدد الست عشري $(AE9)_{16}$.

التحويل من النظام الثنائي إلى النظام الست عشري

نظراً لوجود علاقة بين أساسي النظامين الثنائي والست عشري وهي أن $16 = 2^4$ فمن هذه العلاقة يتضح أن كل أربع خانات ثنائية تُقابل خانة واحدة ست عشرية مما يجعل التحويل بينهما سهلاً وسريعاً. للتحويل من النظام الثنائي إلى النظام الست عشري نقوم بالتالي:

١. نقسم الرقم الثنائي إلى مجموعات كل مجموعة مكونة من أربع خانات مبتدئين من أقصى اليمين, وبإمكاننا تزويد أصفار لخانات اليسار وهذا لتكوين مجموعة أربعة خانات في حالة ما كان عدد خانات اليسار المتبقية لا يساوي أربعة.

٢. نحصل على المكافىء العشري لكل مجموعة.

٣. من المكافىء العشري نحصل على المكافىء الست عشري.

مثال١:

حول الرقم $(110101)_2$ إلى مكافئه الست عشري

الحل:

الثنائي	$(0011 \quad 0101)_2$
العشري	$(3)_{10} \quad (5)_{10}$
الست عشري	$(35)_{16}$
	$\therefore (35)_{16} = (110101)_2$

مثال٢:

حول الرقم $(1101011)_2$ إلى مكافئه الست عشري

الحل:

الثنائي	$(0110 \quad 1011)_2$
العشري	$(6)_{10} \quad (11)_{10}$
الست عشري	$(6)_{16} \quad (B)_{16}$
	$\therefore (6B)_{16} = (1101011)_2$

مثال٣:

حول الرقم $(1011100000)_2$ إلى نظيره الست عشري

الحل:

الثنائي	$(0010 \quad 1110 \quad 0000)_2$
العشري	$(2)_{10} \quad (14)_{10} \quad (0)_{10}$
الست عشري	$(2)_{16} \quad (E)_{16} \quad (0)_{16}$
	$\therefore (2EO)_{16} = (1011100000)_2$

التحويل من النظام الست عشري إلى النظام الثنائي

هنا نقوم بتحويل كل رمز ست عشري إلى أربع خانات ثنائية , وذلك بالاستعانة بجدول (٢ -٥)

مثال١:

حَوِل العدد 2B5 إلى نظيره الثنائي

الحل:

الست عشري	$2 \quad B \quad 5$
الثنائي	$0010 \quad 1011 \quad 0101$
	$\therefore (1010110101)_2 = (2B5)_{16}$

مثال٢:

حَوِل العدد CO3 إلى نظيره الثنائي

الحل:

الست عشري	$C \quad O \quad 3$
الثنائي	$1100 \quad 0000 \quad 0011$
	$\therefore (110000000011)_2 = (CO3)_{16}$

الأعداد العشرية ثنائية التشفير Binary Coded Decimal (BCD)

اعتاد الإنسان على التعامل مع النظام العشري بينما الحاسبات لا تستطيع معالجة سوى البيانات الثنائية, لذا كان من الضروري تمثيل كل رقم عشري بما يوازيه بالنظام الثنائي ومن هنا فإن الكود BCD هو أول محاولة لتمثيل الأرقام العشرية من 0 إلى 9 بما يُكافؤها بالنظام الثنائي.

الكود BCD

BCD	النظام العشري
٠٠٠٠	٠
٠٠٠١	١
٠٠١٠	٢
٠٠١١	٣
٠١٠٠	٤
٠١٠١	٥
٠١١٠	٦
٠١١١	٧
١٠٠٠	٨
١٠٠١	٩

جدول (٦ -١)

لاحظ أن كل رقم عشري يُمَثَلَ بأربع خانات ثنائية فمثلاً الرقم 3 يُمَثَلَ بـ ٠٠١١ وليس 11, والرقم 15 يُمَثَلَ كالتالي00010101

يجب ملحوظة أن تشفير BCD يختلف تماماً عن المكافىء الثنائي للرقم العشري كما في الجدول التالي:

المكافىء الثنائي	BCD	العدد
10111	٠٠١٠٠٠١١	23
1010101	١٠٠٠٠١٠١	٨٥
11111011	٠٠١٠٠١٠١٠٠٠١	251

جدول (٧ -١)

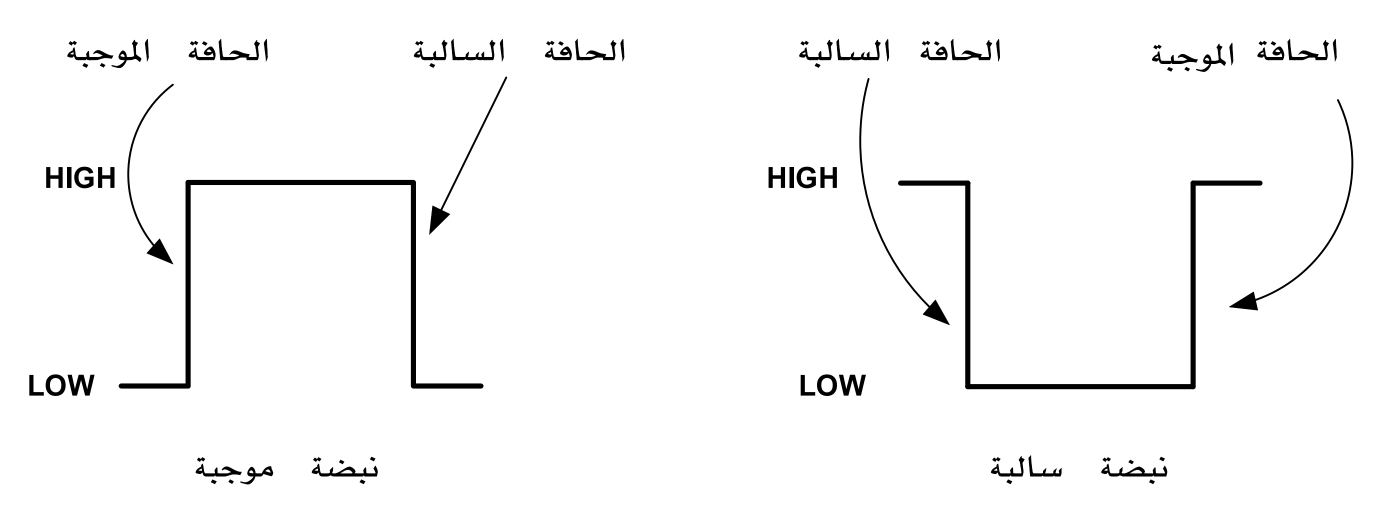
ثالثا :الإشارات الرقمية

تحتوي الإشارات أو الموجات الرقمية على قيم للجهد تتراوح بين القيم High و Low في سلسلة ذات تغير عشوائي.

تكون الإشارات الرقمية عبارة عن نبضات مربعة تدل في بعض الأحيان و التي يطلق عليها اسم المنطقية الموجبة على 1 عندما تتغير من Low إلى High وعلى 0 عندما تتغير من High إلى Low.

و العكس يحدث في حالة المنطقية السالبة .

يوضح الشكل (٨ -١) أنواع النبضات التي تدل من خلالها تُشفر الجهد أو المستوى High والجهد Low.



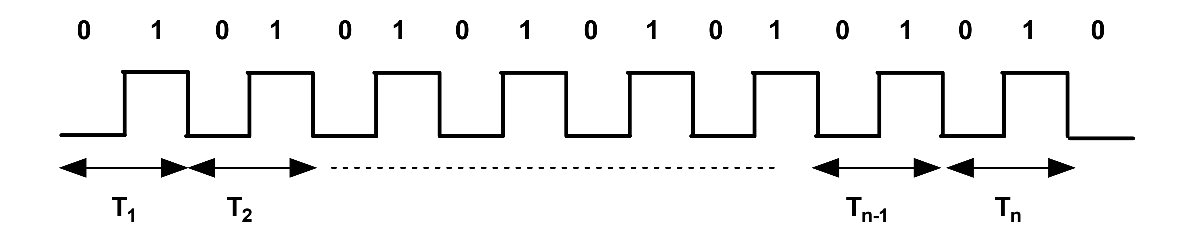
الشكل (١ - ٨)النبضات المستخدمة في الإلكترونيات الرقمية.

نلاحظ أن النبضة الموجبة تحتوي على حافة موجبة متبوعة بمستوى ثابت (High) وتنتهي بحافة سالبة, أما النبضة السالبة فإنها تتكون من حافة سالبة متبوعة بمستوى ثابت (Low) وتنتهي بحافة موجبة.

تتألف معظم الإشارات في الأنظمة الرقمية من سلسلة من النبضات التي بدورها تنقسم إلى سلاسل دورية Periodic أو غير دورية Aperiodic.

الإشارة الدورية هي الإشارة التي تعيد نفسها بعد زمن T يدعى زمن الدورة الواحدة أو Period.

يبين الشكل (١ - ٩)إشارة رقمية دورية الشكل (١ - ١٠) إشارة رقمية عشوائية غير دورية.



$T_1=T_2=...T_{n-1}=T_n=T$ = Period	زمن الدورة الواحدة

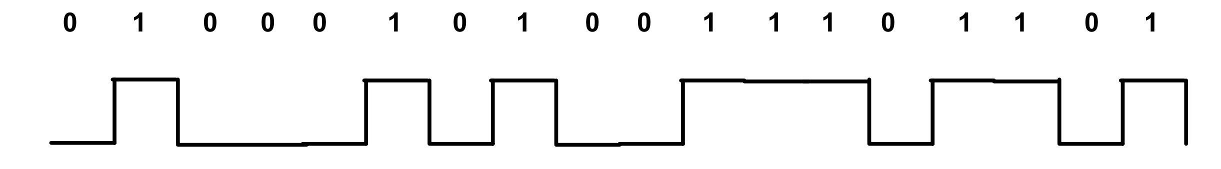
Frequency = f =1/T	التردد

الشكل (١ – ٩): إشارة رقمية دورية.

التردد f (frequency) هو عدد المرات التي تعيد الإشارة فيها نفسها خلال ثانية واحدة. وحدة التردد هي الهيرتز Hertz (Hz).

العلاقة بين التردد f وزمن الدورة الواحدة T هو :

$$f = \frac{1}{T} \qquad \text{أو} \qquad T = \frac{1}{f}$$



إشارة رقمية عشوائية
غير دورية

الشكل (١ - ١٠)إشارة رقمية عشوائية غير دورية.

رابعا :أجهزة القياس الرقمية

نحتاج إلى عدد من الأجهزة لعزل, تحديد وتصحيح المشاكل المتعلقة بالأنظمة أو الدوائر الرقمية. في كثير من الأحيان تُستخدم هذه الأجهزة لفحص الدوائر الرقمية. من بين هذه الأجهزة نذكر:

١ - **جهاز الأسيلوسكوب Oscilloscope** :

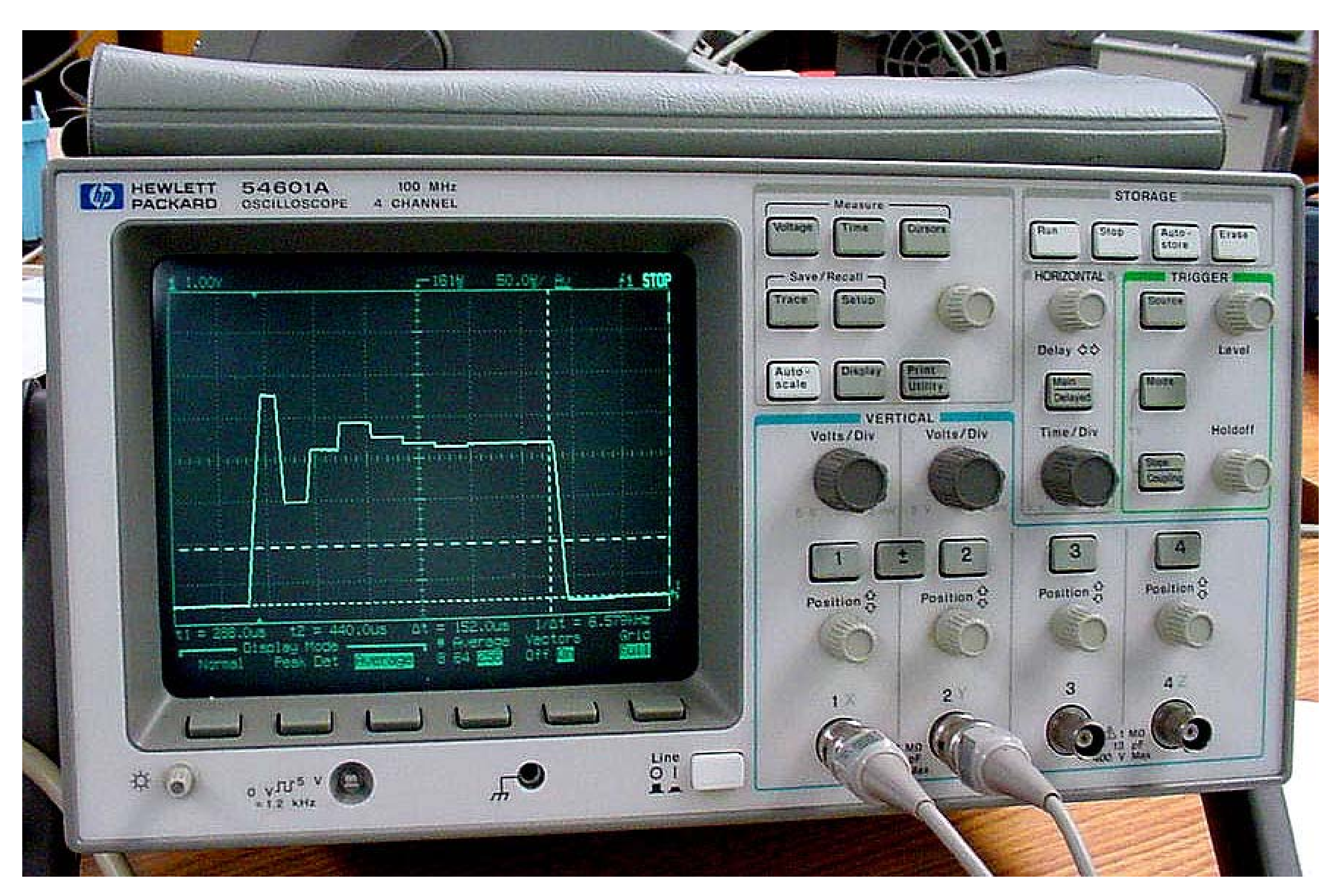
جهاز الأسيلوسكوب هو من الأجهزة الأكثر استخداماً لفحص, تحديد وتصحيح الأخطاء. مبدؤه هو عرض منحنى إشارة كهربية على شاشته.

يبين المنحنى كيف تتغير الإشارة مع الزمن. يدل المحور العمودي على جهد الإشارة ويدل المحور الأفقي على الزمن. يمكننا عرض الإشارة الرقمية على شاشة من الحصول على عدة عوامل كزمن دورة الإشارة وترددها وغير ذلك.

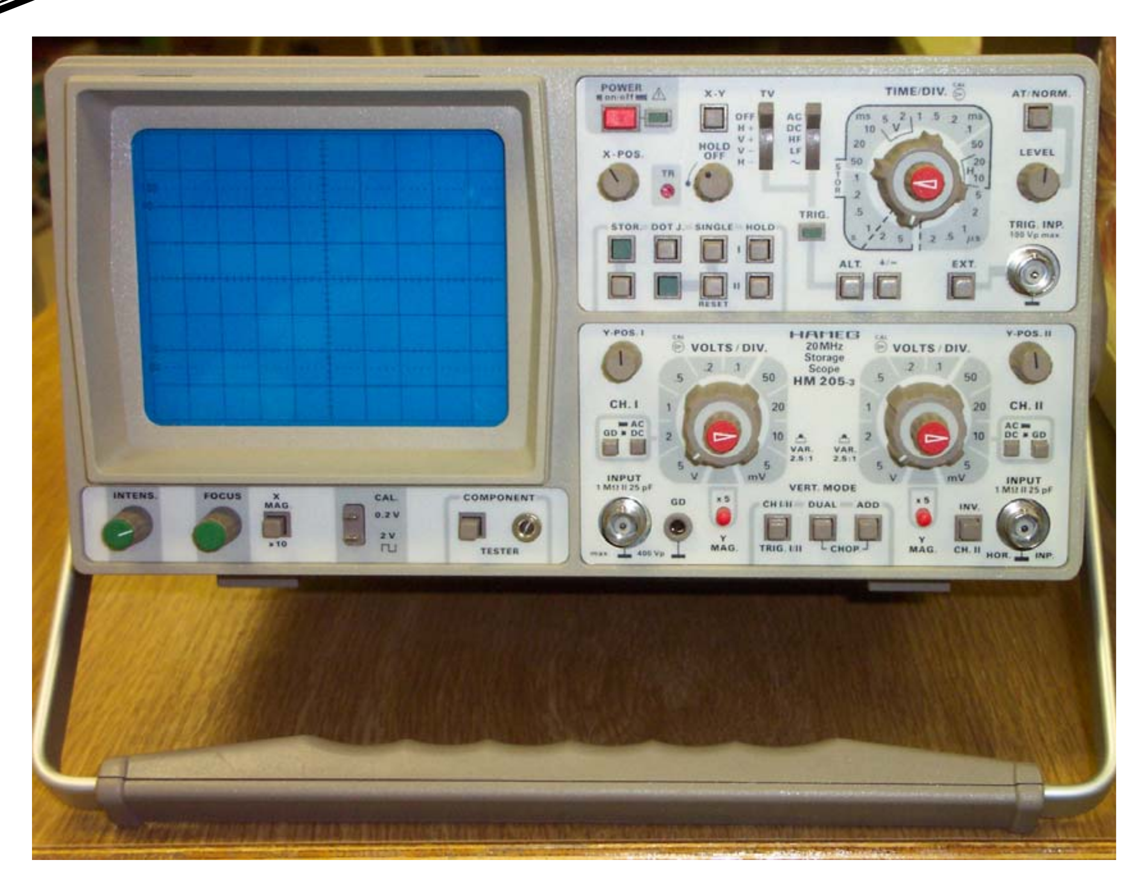
يوجد نوعان من أجهزة الأسيلوسكوب: التماثلي والرقمي. يقوم الأسيلوسكوب التماثلي بعرض الإشارة الداخلة عبر أحد قنواته مباشرة على شاشته. أما الأسيلوسكوب الرقمي فإنه يأخذ عينات للإشارة ويستخدم محول تماثلي رقمي ADC لتحويل الجهد المقاس إلى معلومات رقمية يستخدمها فيما بعد لبناء ورسم الإشارة على الشاشة.

يوضح الشكل (١ - ١١) أجهزة أسيلوسكوب من النوع الرقمي الشكل (١٢ - ١)جهاز من النوع التماثلي.





الشكل (١ - ١١): أجهزة أسيلوسكوب من النوع الرقمي.



الشكل (١ - ١٢): جهاز أسيلوسكوب من النوع التماثلي.

٢ - **المحلل المنطقي Logic Analyzer:**

يستخدم هذا الجهاز، كما يظهر في الشكل (١ - ١٣) لكشف وعرض البيانات الرقمية بتنسيقات متعددة، كتنسيق الأسيلوسكوب ، المخطط الزمني و جدول الحالات.

أ - تنسيق الأسيلوسكوب

يستخدم الجهاز في هذه الحالة لعرض منحنى الإشارة على الشاشة وهذا لإمكانية قياس بعض عوامل النبضات والإشارة.

ب - تنسيق المخطط الزمني Timing Diagram

يستطيع المحلل المنطقي من عرض ستة عشرة موجة, مما يمكن من تحليل مجموعة من الموجات أو الإشارات وتعيين أو تحديد العلاقة فيما بينهما خلال الزمن.

ج - تنسيق جدول الحالات State Table

يستطيع المحلل في هذه الحالة من عرض البيانات الثنائية على شكل جداول. وتعرض البيانات في عدة أنظمة عددية كالثنائي Binary والثماني Octal والسداسي عشري Hexadecimal والثنائي المشفر عشرياً BCD وشفرات ASCII.



الشكل (١ - ١٣):جهاز المحلل المنطقي.

٣ - **جهاز المجس المنطقي والنبضي Pulser Logic Probe , Logic**

يعتبر جهاز الاختبار المنطقي أو المجس كأداة لفحص وكشف أعطال الدوائر المنطقية وهذا بإحساس عدد من الظروف في نقطة معينة من الدائرة.

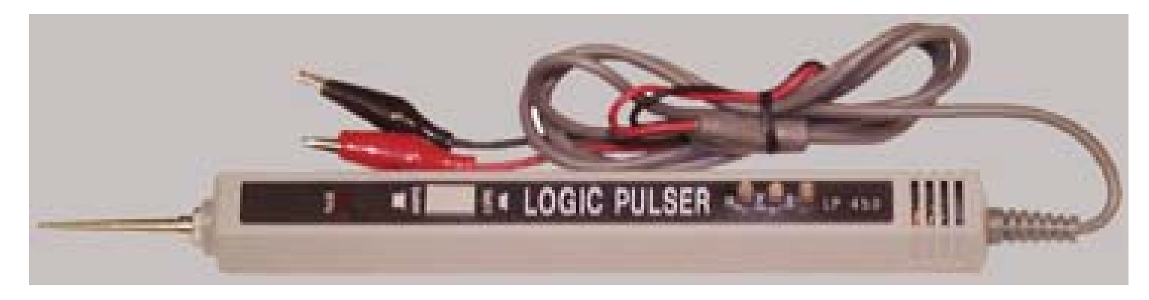
يبين الشكل (١ - ١٤) صورة لمجس منطقي.



الشكل (١ - ١٤): المجس منطقي.

يستطيع هذا الجهاز من كشف قيم الجهود المنخفضة والعالية, النبضات المنفردة والمتكررة كما يستطيع الكشف عن الدارات المفتوحة. يحتوي الجهاز على مصباح يدل على الحالة أو الظرف السائد في نقطة معينة من الدائرة.

أما جهاز النبضي المنطقي Logic Pulser ،و الذي يظهر على الشكل (١٥ ١-)، فإنه يُولد موجات نبضية متكررة على أي نقطة في الدائرة. بإمكاننا إرسال نبضات عبر نقطة معينة واستقبالها على نقطة ثانية بواسطة جهاز الاختبار المنطقي Logic Probe.



الشكل (١ - ١٥): المجس منطقي النبضي.

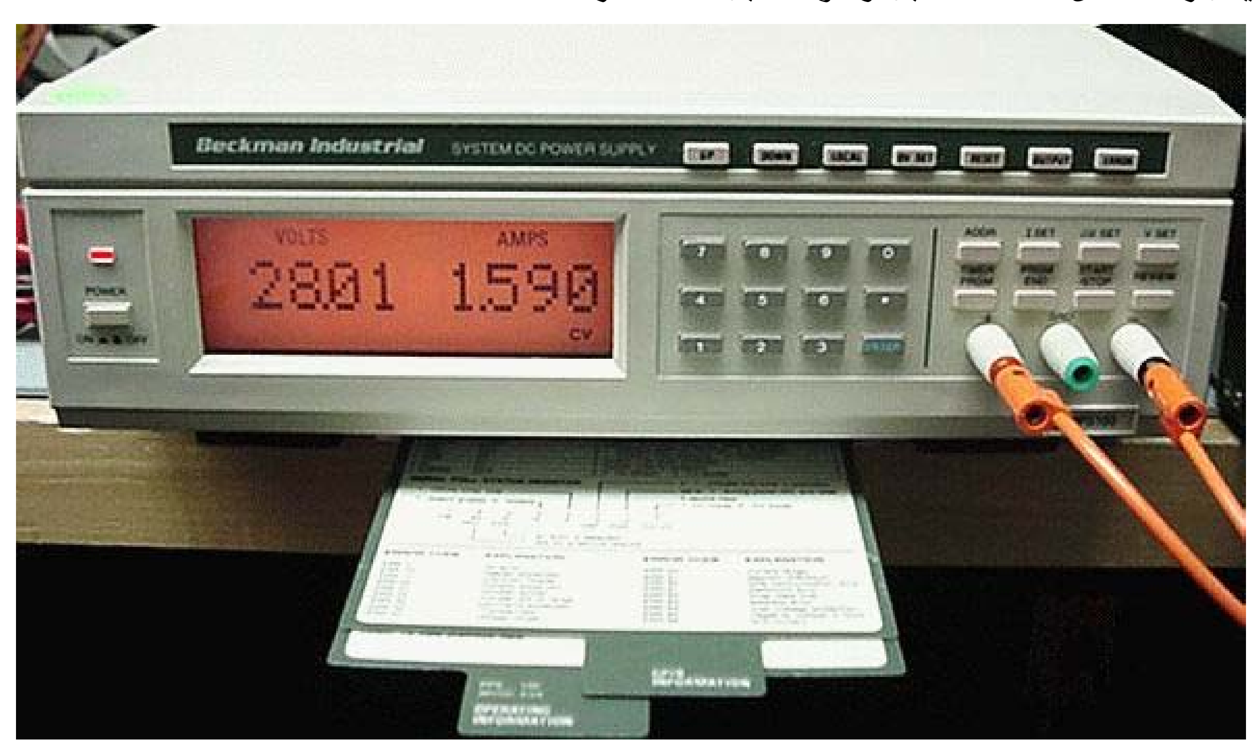
يستطيع الجهاز النبضي المنطقي من الكشف على دارات القصر Shorts.

٤ - مولد الجهد المستمر DC Power Supply:

يعتبر مولد الجهد من الأجهزة الأساسية لتشغيل الدوائر الرقمية. بما أن كل الدوائر الرقمية تحتاج إلى جهد مستمر فإن مولد الجهد هو الذي يُحول الطاقة الكهربية المتناوبة AC إلى جهد مستمر ومنظم.

أغلب دوائر TTL وبعض دوائر CMOS تحتاج إلى جهد قيمته 5V+ .

يظهر الشكل (١ - ١٦)جهاز مولد للجهد المستمر.



الشكل (١ - ١٦):جهاز مولد للجهد المستمر.

٥ - مولد الإشارات (الدوال) Function Generator:

مولد الإشارات المتعددة هو عبارة عن مصدر للإشارة يُستخدم للتزويد بالإشارة النبضية، والموجات الجيبية والمثلثة. نرى في الشكل (١ - ١٧) جهاز مولد للإشارات.



الشكل (١ - ١٧):جهاز مولد الإشارات.

٦ - جهاز القياس متعدد الوظائف الرقمي (DMM) Digital multi meter

تُستخدم هذه الأداة لقياس الجهد المستمر DC والمتناوب AC, التيار المستمر والمتناوب وكذلك المقاومات.

يظهر على الشكل (١ - ١٨)صور لبعض أجهزة القياس المتعددة الوظائف.





الشكل (١ - ١٨)أجهزة القياس المتعددة الوظائف.

اختبار ذاتي

١. ماذا يدعى للكميات ذات القيم المستمرة؟
٢. ماذا نعني بالبت؟
٣. ما هي مميزات الإلكترونيات الرقمية مقارنة مع نظيرتها التماثلية؟
٤. ما هو تردد موجة تتكرر نبضاتها كل 10ms ؟
٥. ما هو زمن الدورة الواحدة لموجة ذات تردد 1MHz ؟
٦. ارسم الموجه التي تمثل البيانات 100111010101؟ هل الموجه دورية في أم لا؟
٧. ارسم الموجه التي تمثل البيانات 1010101010101010؟ هل الموجه دورية في مجال وجودها أم لا؟
٨. ماذا يُطلق على الكميات ذات القيم المنفردة؟
٩. ما هي مهمة جهاز الاسيلوسكوب؟
١٠. ما هي القدرات التي يملكها الأسيلوسكوب الرقمي مقارنة مع نظيره التماثلي؟
١١. ما هي مهمة المحلل المنطقي Logic Analyzer ؟
١٢. ما هي دور المجس المنطقي Logic Probe ؟
١٣. ما هو نوع المجس الذي بإمكانه الكشف عن الدوائر المفتوحة؟



الدوائر الرقمية

الوظائف المنطقية الرقمية

الجدارة:

التعرف على مختلف البوابات الأساسية والثانوية لغرض بناء جداول حقيقتة ومعرفة رموزها.

الأهداف:

أن يكون المتدرب بعد دراسة هذه الوحدة قادراً على:

١. التعرف على وظيفة البوابات الأساسية
٢. التعرف على وظيفة البوابات الثانوية
٣. التعرف على رموز البوابات
٤. معرفة بناء جدول حقيقة أي بوابة
٥. التعرف على الدوائر التكاملية التي تحتوي على هذه البوابات.

مستوى الأداء:

أن يصل المتدرب إلى إتقان الجدارة بنسبة٩٠٪

الوقت المتوقع للتدريب:

ست حصص

الوسائل المساعدة:

التدريبات العملية

متطلبات الوحدة:

اجتياز الوحدة السابقة

البوابات المنطقية Logic Gates

الدوائر الرقمية تميز بين حالتين فقط وهما إما وجود فولتية عالية High أو فولتية منخفضة Low , أي إما سريان التيار الكهربي (حالة ON) أو عدم سريان التيار الكهربي (حالة OFF). لهذا السبب تم استخدام النظام الثنائي لكونه يستخدم رمزين فقط. فالرقم 1 يقابل High أو ON والرقم 0 يقابل Low أو OFF .

تنقسم البوابات المنطقية إلى قسمين: البوابات المنطقية الأساسية و البوابات المنطقية الثانوية.

البوابات الأساسية المنطقية هي البوابات التي تتمثل في وظائف AND ما يعني "و" ووظائف ORما يعني "أو" ووظائف Not ما يعني "لا" أو "نفي".

البوابات الثانوية هي البوابات التي غالباً ما تتكون من مجموعة من البوابات الأساسية ومن بين هذه البوابات نذكر:

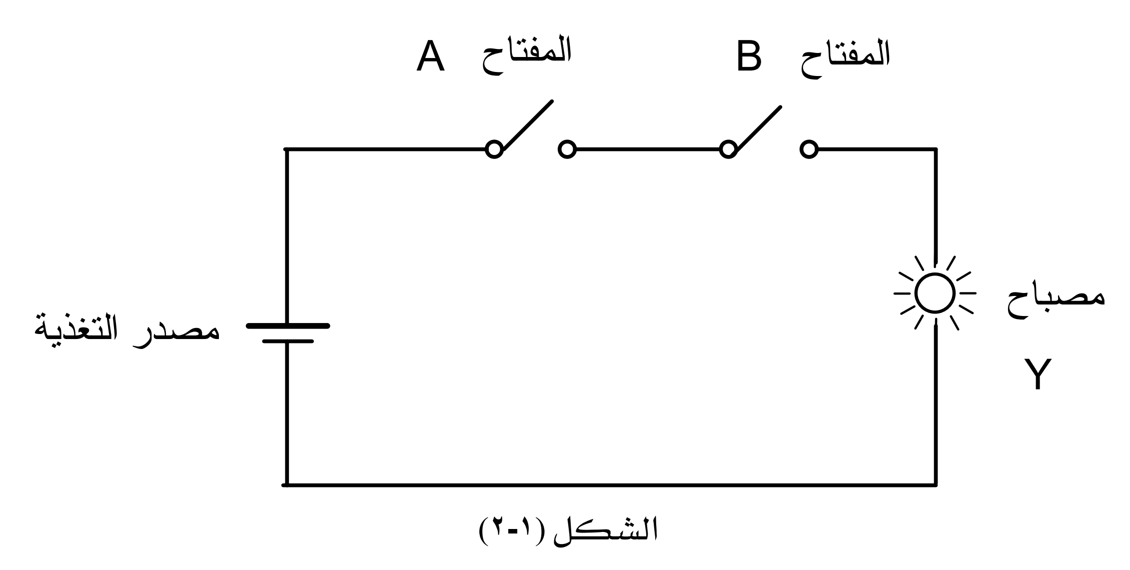
- بوابات NOR أو " أو المنفية ".
- بوابات NAND أو " و المنفية ".
- بوابات XOR أو " عدم التوافق ".
- بوابات XNOR أو " عدم التوافق المنفية ".

لنبدأ بدراسة خصائص كلٍ من هذه البوابات على حده.

بوابة "و" AND Gate AND

بوابة AND تسمى بوابة "كل شيء أو لا شيء" الشكل (١ -٢) يُمَثِل فكرة البوابةAND وهي البوابة التي تحقق العملية المنطقية عندما يكون مدخلها الأول و مدخلها الثاني صحيح.

لتوضيح هذه الفكرة انظر إلى عملية تشغيل الدائرة المبينة في الشكل (١ -٢)



الشكل (١-٢)

في هذه الدائرة نلاحظ أن المصباح يُضيء فقط عندما يكون كلا المفتاحين A , B موصلين.

والجدول التالي يمثل الحالات الممكنة للدخلين A , B ويسمى هذا الجدول

بجدول الحقيقة Truth Table

الدخل		الخرج
المفتاح A	المفتاح B	حالة المصباح
OFF	OFF	مطفأOFF
OFF	ON	OFF مطفأ
ON	OFF	OFF مطفأ
ON	ON	مضيءON

جدول(١ -٢)

نرى من خلال الجدول أنه يكون المصباح مضيء في حالة ما يكون المفتاح A موصل و المفتاح B موصل.

جدول الحقيقة هو الذي يعطي لنا نظرة كاملة عن حقيقة تشغيل البوابات المنطقية والدوائر الرقمية.

يتكون هذا الجدول من عدد من الأعمدة تمثل عدد مداخل البوابة أو الدائرة الرقمية وعمود يمثل مخرج البوابة أو الدائرة الرقمية.

أما عدد صفوف الجدول, فله علاقة مع عدد مداخل البوابة أو الدائرة الرقمية.

إذا كان عدد المداخل يساوي ١ فإن عدد الصفوف يكون ٢ وهذا لسبب عدد القيم المحتملة للدخل والتي هي ٠ و ١.

إذا كان عدد المداخل يساوي ٢ فإن عدد الصفوف يكون ٢×٢ = 2^2 أو ٤ وهذا ما يمثل الحالات الأربعة لمدخلين والتي هي : ٠٠ و ٠١ و ١٠ و ١١.

إذا كان عدد المداخل يساوي ٣ فإن عدد الصفوف يكون ٢ × ٢ × ٢ = 2^3 أو ٨ وهذا ما يمثل الحالات المحتملة لثلاثة مداخل والتي هي : ٠٠٠ و ٠٠١ و ٠١٠ و ٠١١و ١٠٠و ١٠١ و ١١٠و١١١ .

إذا كان عدد المداخل يساوي N فإن عدد الاحتمالات أو صفوف الجدول يكون ٢×٢×.......× ٢, عدد N من المرات أو 2^N .

الدائرة السابقة تمثل فكرة عمل بوابة AND فهي تعطي الخرج ON أو High أو 1 إذا كانت جميع المداخل ON أو عند المستوى المنطقي 1.

يبين الشكل (٢ - ٢) الرمز المستخدم لبوابة AND ذات مدخلين.

الشكل (٢ - ٢)

يبين الشكل (٢-٣) كل حالات مداخل بوابة AND والمخرج المتعلق بكل حالة.

الشكل (٢ -٣)

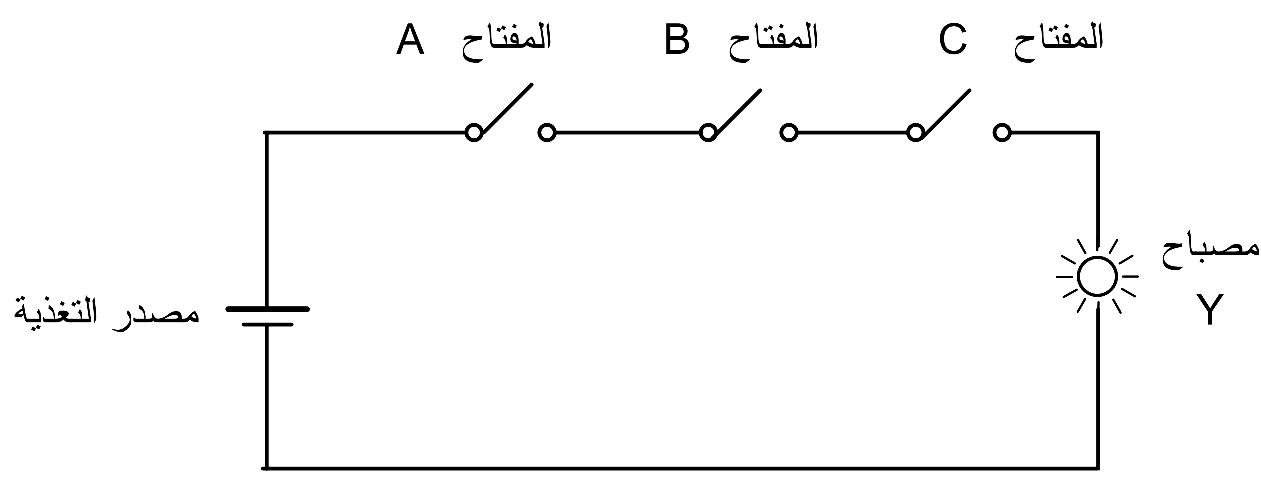
ويمثل الجدول(٢ -٢)جدول حقيقة هذه البوابة.

الدخل		الخرج
A	B	Y=A.B
٠	٠	٠
0	1	0
1	0	0
1	1	1

جدول(٢ -٢)

بوابة "و" AND ذات ثلاث مداخل

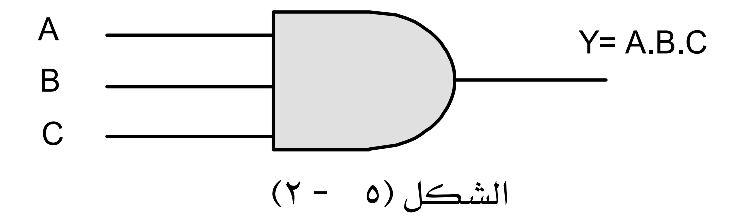
يبين الشكل (٢- ٤)صورة موضحة لدائرة تؤدي وظيفة بوابة AND ذات ثلاث مداخل A و B وC.



الشكل (٤ - ٢)

نلاحظ من خلال هذا الشكل أنه إذا كان أي مفتاح من المفاتيح A و B أو Cمفتوح أو غير موصل فيكون المصباح مطفأ. الحالة الوحيدة التي يضيء فيها المصباح هي حالة توصيل المفتاح A والمفتاح B والمفتاح C .

الشكل (٥ - ٢)الرمز المنطقي و العلاقة بين الخرج و المداخل لبوابة AND ذات ثلاثة مداخل.



الشكل (٥ - ٢)

يكون جدول حقيقة هذه البوابة مثل ذلك الموضح في الجدول(٣ -٢)

حالة المصباح	المفتاح A	المفتاح B	المفتاح C
٠)OFF)	0	٠	٠
OFF))0	1	0	0
0 (OFF)	0	1	0
0 (OFF)	1	1	0
0 (OFF)	0	0	1
0 (OFF)	1	0	1
0 (OFF)	0	1	1
1 (ON)	1	1	1

جدول(٣ -٢)

بالنسبة للمداخل:

٠: يعني المفتاح غير موصل

١: يعني المفتاح موصل

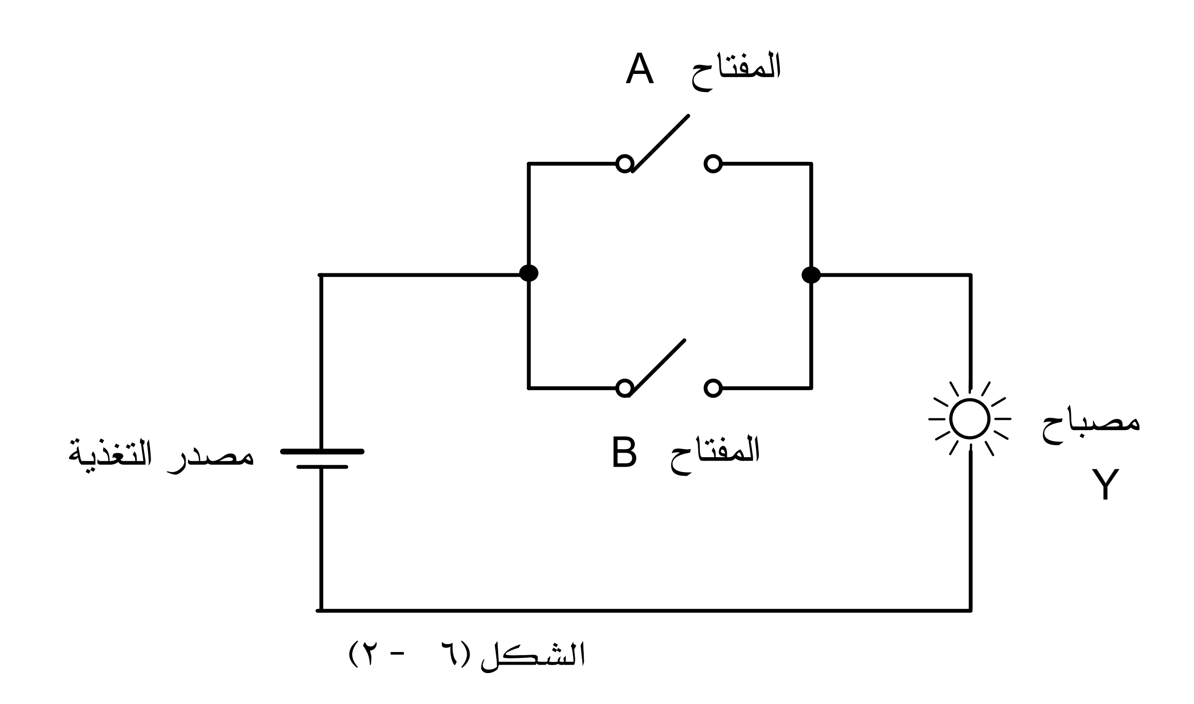
بالنسبة للمخرج:

٠: يعني المصباح مطفأ

١: يعني المصباح مطفأ

بوابة "أو" OR Gate OR

الدائرة الكهربية التالية (الشكل (٦ ٢-)) توضح فكرة عمل بوابة "أو"OR ، فكما نلاحظ أن المصباح يُضيء في جميع الحالات إلا في حالة كون المفتاحين A , B غير موصلين (OFF) في نفس الوقت لأن في أي حالة غير حالة A غير موصل و Bغير موصل يكون فيه مسار للتيار وبذلك يضيء المصباح ويتحقق الخرج.



الشكل (٦ - ٢)

الشكل (٧ - ٢) يبين الرمز المستخدم للبوابة OR و الجدول(٤ -٢)يدل على جد و ل حقيقة البوابة.



الشكل (٧ - ٢)

يبين الشكل (٨ - ٢) كل حالات مداخل بوابة OR والمخرج المتعلق بكل حالة.

0 0 → 0

0 1 → 1

1 0 → 1

1 1 → 1

الشكل (٨ - ٢)

ويوضح الجدول التالي كل الحالات الممكنة للمفتاحين A , B

الخرج	الدخل	
حالة المصباح	B	A
OFF	OFF	OFF
ON	ON	OFF
ON	OFF	ON
ON	ON	ON

جدول(٤ -٢)

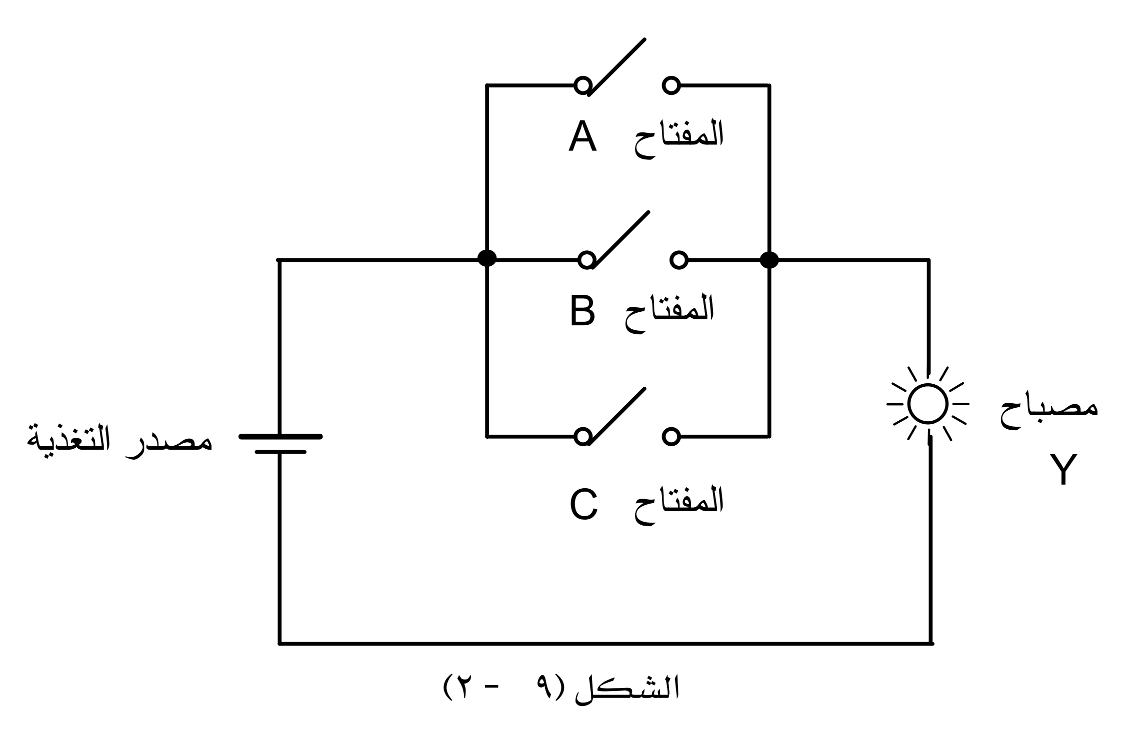
بإمكاننا استنتاج جدول حقيقة البوابة بواسطة القيم النطقية للمداخل و المخرج.

الخرج	الدخل	
Y=A+B	B	A
٠	٠	٠
1	1	0
1	0	1
1	1	1

جدول(٥ -٢)

بوابة "أو" OR ذات ثلاث مداخل

تتضح فكرة بوابة OR ذات ثلاث مداخل من خلال الشكل (٩ - ٢).



الشكل (٩ - ٢)

نلاحظ من خلال هذا الشكل أن توصيل أي مفتاح أو مفتاحين أو ثلاثة مفاتيح يؤدي إلى تكوين حلقة مغلقة في الدائرة وهذا ما يؤدي إلى سريان تيار في الدائرة والذي بدوره يؤدي إلى إضاءة المصباح. الحالة الوحيدة التي يكون فيها المصباح مطفأ هي عندما تكون المفاتيح A و B و Cغير موصلة أو تكون مفتوحة.

يتضح كل ما ذكرناه في الجدول التالي:

حالة المصباح	المفتاح A	المفتاح B	المفتاح C
٠)OFF)	0	٠	٠
1 (ON)	1	0	0
1 (ON)	0	1	0
1 (ON)	1	1	0
1 (ON)	0	0	1
1 (ON)	1	0	1
1 (ON)	0	1	1
1 (ON)	1	1	1

جدول(٦ -٢)

بالنسبة للمداخل:

٠: يعني المفتاح غير موصل

١: يعني المفتاح موصل

بالنسبة للمخرج أو حالة المصباح:

٠: يعني المصباح مطفأ

١: يعني المصباح مضيء

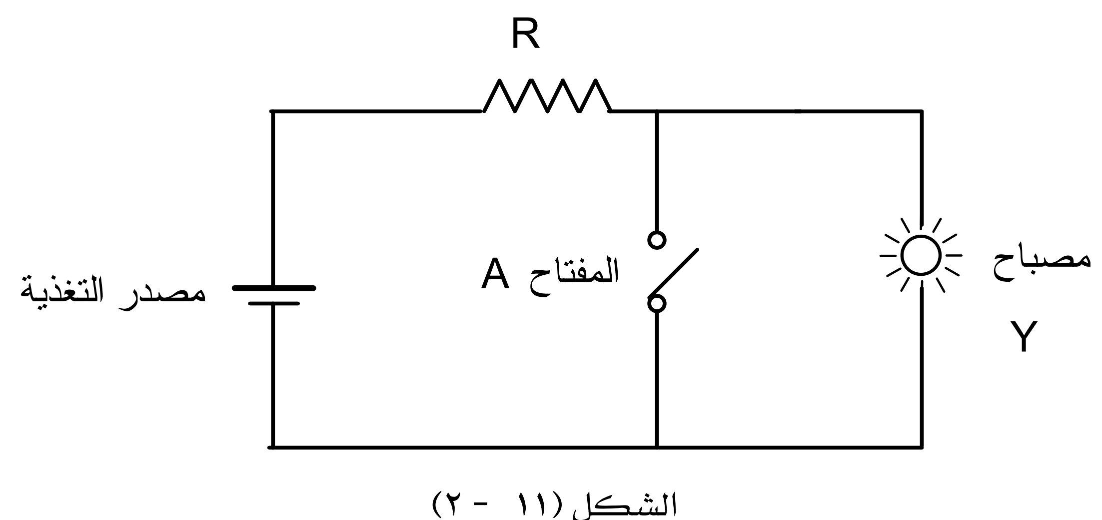
يوضح الشكل (١٠ ٢-)الرمز المنطقي و العلاقة بين الخرج و المداخل لبوابة OR ذات ثلاثة مداخل.

A
B
C
Y = A + B + C

الشكل (١٠ - ٢)

بوابة النفي NOT

تعودنا من خلال الأشكال السابقة الممثلة في الدوائر الكهربية أن توصيل المفتاح يؤدي إلى إضاءة المصباح (ON) سوف نرى في الشكل التالي عكس ذلك مما يعني أن توصيل المفتاح "١" يؤدي إلى الإطفاء ((OFF وعدم توصيله "٠"يؤدي إلى الإضاءة (ON).أنظر إلى الشكل (١١- ٢)



الشكل (١١ - ٢)

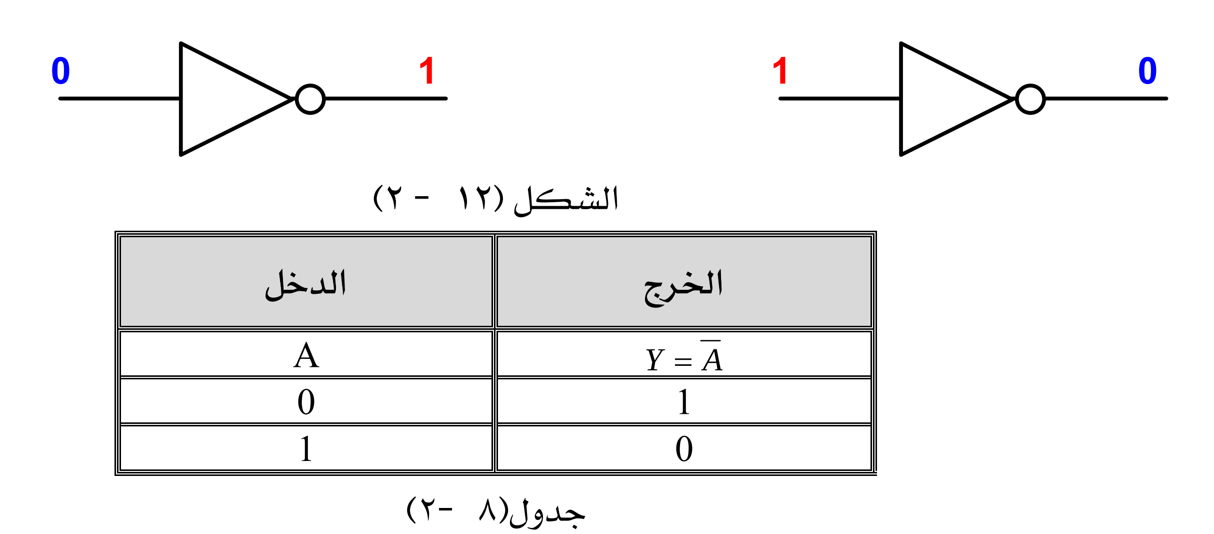
عندما يكون المفتاح غير موصل تولد البطارية تيار مساره المقاومة R والمصباح على التوالي. إما توصيل المفتاح فإنه يؤدي إلى قصر بالدائرة "Short" والذي يكون مسار مفضل للتيار وهذا ما يؤدي سريان التيار في المقاومة والمفتاح وتجنب مسار المصباح ما يؤدي إلى إطفاءه.

وهذا يتضح من خلال الجدول(٧ -٢).

الخرج	الدخل
حالة المصباح	A
مضيء =ON	غير موصل OFF = 0
مطفيء=OFF	موصل ON = 1

جدول(٧ -٢)

الشكل (١٢- ٢) يبين الرمز المستخدم لتمثيل بوابة NOT و يوضح الجدول(٨ -٢)جدول حقيقة بوابة Not. تتضح عملية نفي الدخل A بوضع شرطة على الدخل A.



الشكل (١٢ - ٢)

الخرج	الدخل
$Y = \overline{A}$	A
1	0
0	1

جدول(٨ -٢)

بوابة "نفي و" NAND Gate

عمل هذه البوابة هو عكس بوابة AND , لذا نستطيع أن نتخيل أن بوابة NAND هي عبارة عن بوابة AND متبوعة ببوابة Not, وهذا ما هو موضح بالشكل (١٣- ٢)

A
B
$Y=\overline{A.B}$

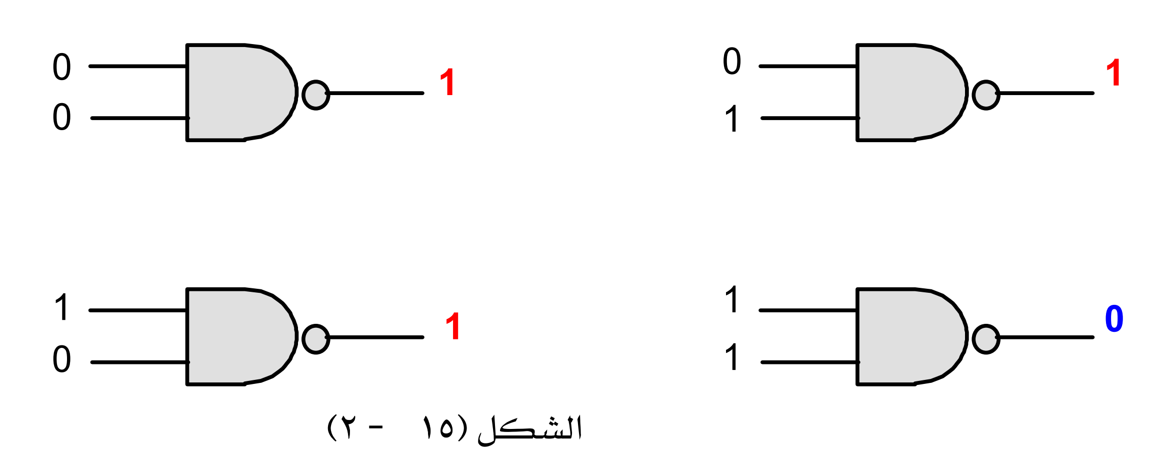
الشكل (١٣ - ٢)

أما الرمز الحقيقي لبوابة NAND فهو موضح في الشكل (١٤ - ٢)

A
B
$Y=\overline{A.B}$

الشكل (١٤ - ٢)

ويوضح الشكل (١٥- ٢) كل احتمالات حالات المداخل والمخرج .



الشكل (١٥ - ٢)

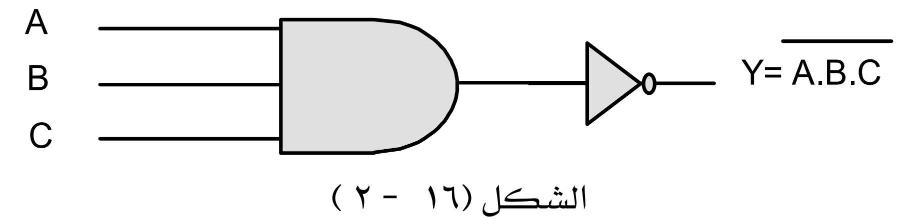
هذا ما يؤدي إلى جدول حقيقة بوابة NAND ذات مدخلين.

الدخل		AND	NAND
A	B	$=X\ AB$	$=Y\ \overline{AB}$
٠	٠	٠	1
0	1	٠	1
1	0	٠	1
1	1	1	٠

جدول(٩ -٢)

بوابة " و" NAND ذات ثلاث مداخل

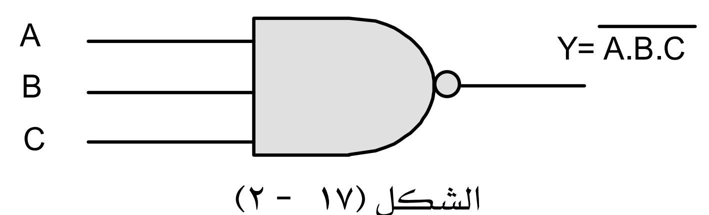
يبين الشكل الشكل (١٦ -٢) بوابة NAND ذات ثلاث مداخل A و B وC.



الشكل (١٦ - ٢)

تتكون لغرض التبسيط من بوابة AND ذات ثلاث مداخل متبوعة ببوابة نفي .Not

والرمز و التعبير المنطقي لبوابة NAND ذات ثلاث مداخل مبين في الشكل (١٧- ٢)



الشكل (١٧ - ٢)

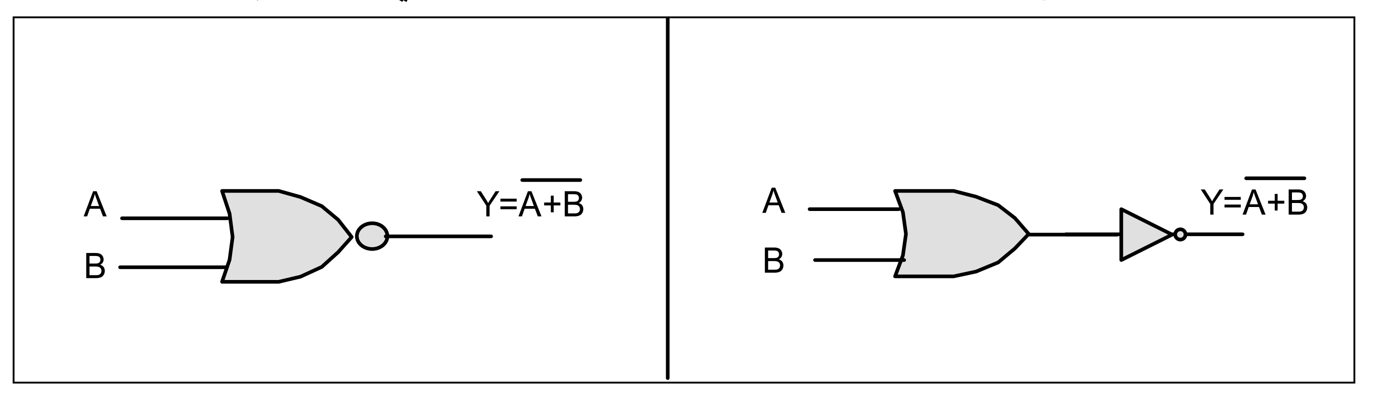
يتضح عمل هذه البوابة من خلال جدول الحقيقة التالي:

A	B	C	$A.B.C$	$Y = \overline{A.B.C}$
٠	٠	0	٠	1
0	0	1	٠	1
0	1	0	٠	1
0	1	1	٠	1
1	0	0	٠	1
1	0	1	٠	1
1	1	0	٠	1
1	1	1	1	٠

جدول(١٠ -٢)

بوابة "نفي أو" NOR Gate

تعمل هذه البوابة بعكس بوابة OR , لذا يمكننا من النظر إلى هذه البوابة أنها تكافئ بوابة OR متبوعة ببوابة Notيوضح الشكل (١٨ ٢-) صيغتين للرمز و التعبير المنطقي المستخدم لهذه البوابة .



الشكل (١٨ - ٢)

يتضح من الشكل (١٩- ٢) كيف تعمل بوابة NOR





الشكل (١٩ - ٢)

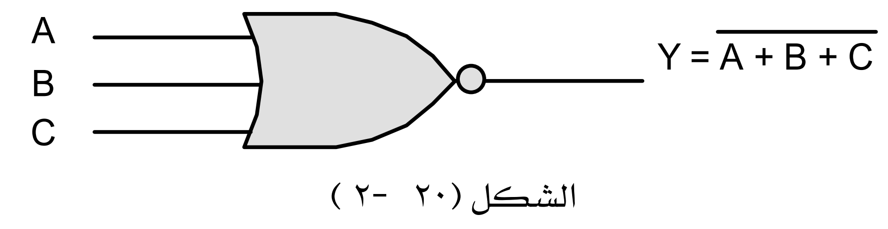
وهذا يؤدي إلى جدول حقيقة بوابة NOR ذات مدخلين

الخرج $Y=\overline{A+B}$	الخرج $A+B$	الدخل B	الدخل A
1	٠	٠	٠
٠	1	1	0
٠	1	0	1
٠	1	1	1

جدول(١١ -٢)

بوابة " و" NOR ذات ثلاث مداخل

يبين الشكل (٢٠- ٢) الرمز و التعبير المنطقي لبوابة NOR ذات ثلاث مداخل A و B و C.



الشكل (٢٠ -٢)

يمكننا الحصول على جدول حقيقة هذه البوابة بأخذ نفي النتيجة المحصل عليها في بوابة OR ذات ثلاث مداخل و هذا ما هو موضح في الجدول(١٢ -٢)

المدخل A	المدخل B	المدخل C	$A+B+C$	مخرج NOR $Y=\overline{A+B+C}$
٠	٠	0	٠	1
0	0	1	1	٠
0	1	0	1	٠
0	1	1	1	٠
1	0	0	1	٠
1	0	1	1	٠
1	1	0	1	٠
1	1	1	1	٠

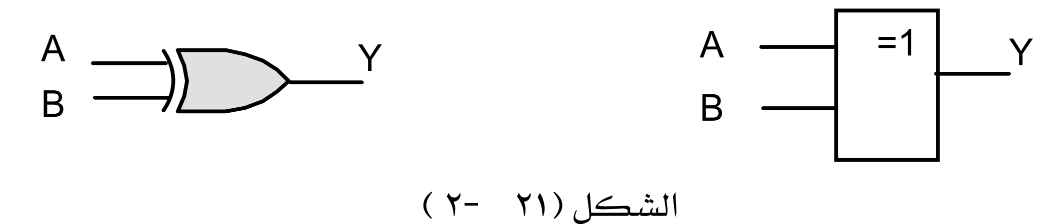
جدول(١٢ -٢)

بوابة أو الحصرية Exclusive OR Gate (XOR)

يُطلق على هذه البوابة أيضاً اسم بوابة عدم التوافق. يعني هذا أنه يكون خرج البوابة يساوي "١" أو في الحالة "ON" أو الحالة "HIGH" عندما يكون المدخلين مختلفين.

تعطي أيضا هذه البوابة خرج "١" عندما يكون هناك عدد فردي من المداخل التي عند المستوى المنطقي "١" وما عدا ذلك يكون الخرج"٠" .

يوضح الشكل (٢١- ٢)رمز بوابة XOR ذات مدخلين.



الشكل (٢١ -٢)

ويبين الشكل (٢٢- ٢) كيف تعمل هذه البوابة.





الشكل (٢٢ - ٢)

وهذا ما يؤدي إلى جدول حقيقة هذه الدائرة الموضح في الجدول(١٣ -٢)

الدخل A	الدخل B	الخرج $Y = A \oplus B$
٠	٠	٠
0	1	1
1	0	1
1	1	٠

جدول(١٣ -٢)

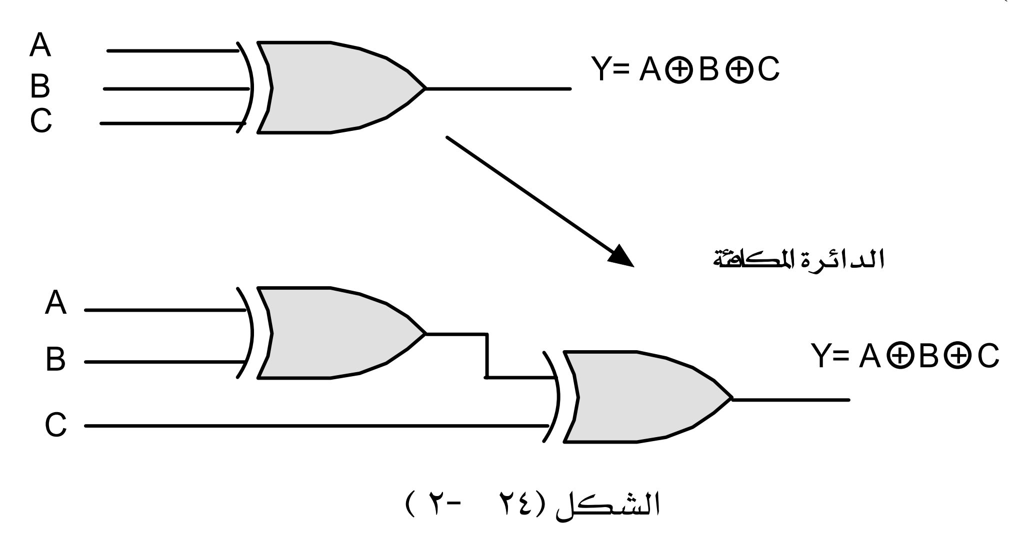
بوابة أو الحصرية (XOR) ذات ثلاث مداخل

يبين الشكل (٢٣ -٢)الرمز المنطقي و التعبيرلخرج بوابة XOR ذات ثلاث مداخل A و B و C.

A
B
C
$Y = A \oplus B \oplus C$

الشكل (٢٣ -٢)

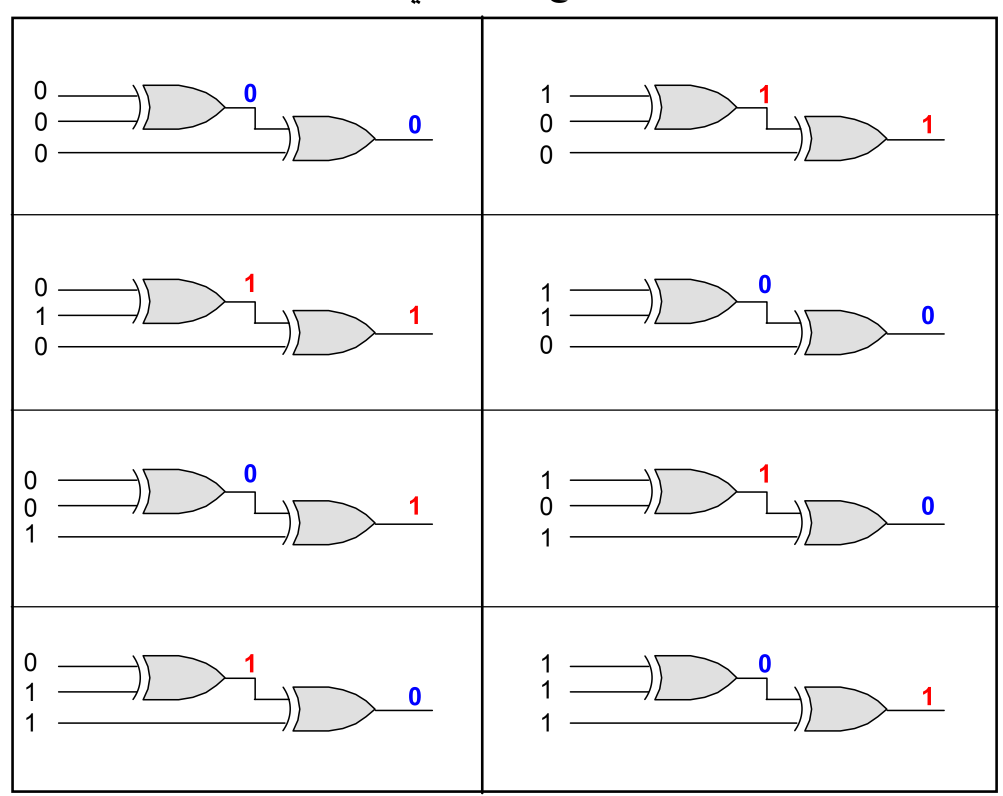
لفهم كيفية عمل هذه البوابة نستخدم الدائرة المكافئة لهذه البوابة والتي هي موضحة في الشكل (٢٤- ٢)



الشكل (٢٤ -٢)

ما يعني أنه بإمكاننا استخدام بوابتين XOR ذات مدخلين للحصول على بوابة XOR ذات ثلاث مداخل.

يوضح الشكل (٢٥-٢) احتمالات المداخل والمخرج المتعلق بأي واحد من هذه الاحتمالات.



الشكل (٢٥ -٢)

وهذا يؤدي إلى جدول حقيقة بوابة XOR ذات ثلاث مداخل A و B وC.

المدخل A	المدخل B	المدخل C	$A \oplus B$	$Y = (A \oplus B) \oplus C$
٠	٠	0	٠	٠
0	0	1	٠	1
0	1	0	1	1
0	1	1	1	٠
1	0	0	1	1
1	0	1	1	٠
1	1	0	٠	٠
1	1	1	٠	1

جدول(١٤ -٢)

بوابة أو الحصرية المنفية (Exclusive NOR Gate (XNOR

بوابة XNOR تعمل عكس بوابةXOR السابقة فهي تعطي خرج "١" عندما يكون عدد المداخل التي عند المستوى المنطقي "١" زوجي وما عدا ذلك يكون الخرج"٠" , الشكل (٢٦ ٢-) يُعطي الرمز المنطقي المستخدم لبوابة XNOR .



الشكل (٢٦ - ٢)

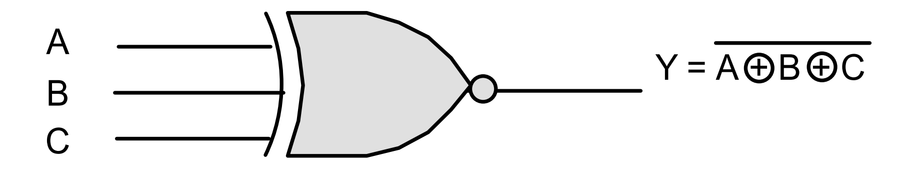
يوضح الجدول(١٥ -٢)جدول حقيقة بوابة XNOR **ذات مدخلين**.

الدخل		الخرج
A	B	$Y = \overline{A \oplus B}$
٠	٠	1
0	1	0
1	0	0
1	1	1

جدول(١٥ -٢)

بوابة أو الحصرية المنفية (XNOR) ذات ثلاث مداخل

تعمل بوابة XNOR ذات ثلاثة مداخل عكس بوابة XOR ذات ثلاثة مداخل. يوضح الشكل (٢٧-٢) رمز البوابة.



الشكل (٢٧ -٢)

ويوضح الجدول(١٦ -٢)جدول حقيقة بوابة XNOR ذات ثلاث مداخل A و B وC.

المدخل A	المدخل B	المدخل C	AXor.B.Xor.C	$\overline{A \oplus B \oplus C}$
٠	٠	0	٠	1
0	0	1	1	٠
0	1	0	1	٠
0	1	1	٠	1
1	0	0	1	٠
1	0	1	٠	1
1	1	0	٠	1
1	1	1	1	٠

جدول(١٦ -٢)

الدوائر التكاملية التي تمثل البوابات المنطقية

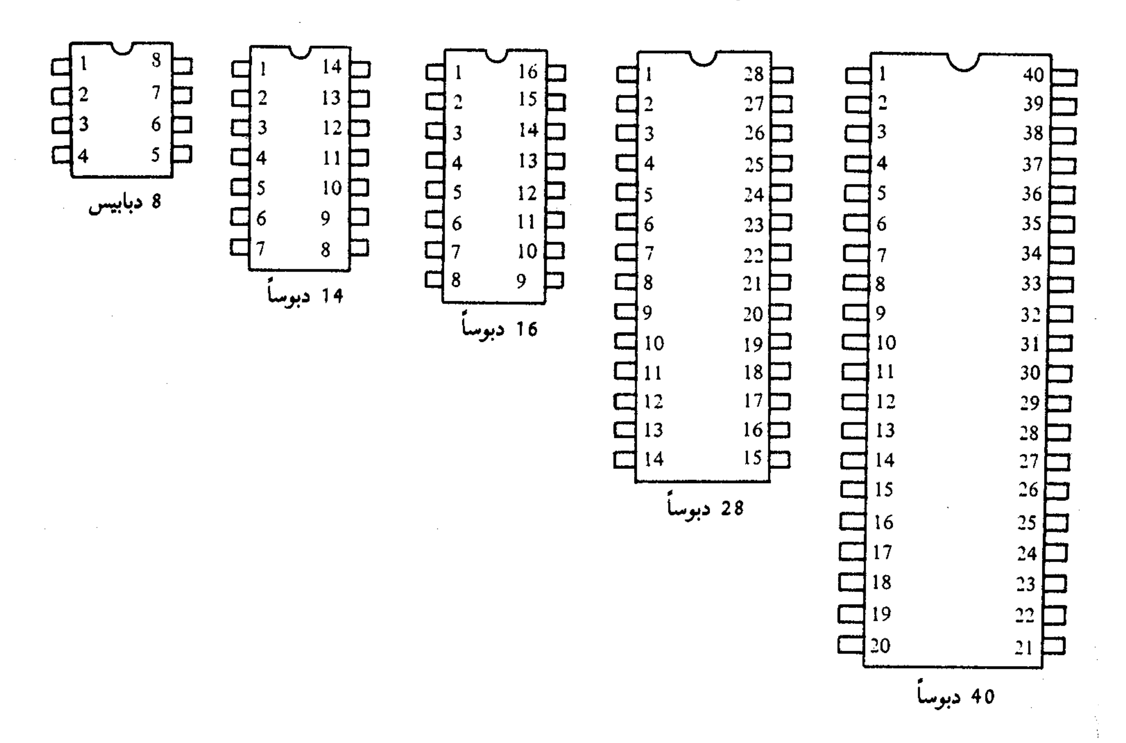
تأتي أغلب البوابات المنطقية التي درسناها على شكل دوائر رقمية متكاملة (IC(Integrated Circuit أشهر تكنولوجية تستخدم تقنية TTL أو CMOS.

إن العمليات المنطقية لبوابات NOT و AND و OR و NAND و NOR و XOR تكون متشابهة وبالضبط نفسها سواءًا استخدمنا دوائر متكاملة مبنية على تكنولوجية TTL أو دوائر متكاملة مبنية على تكنولوجية .CMOSيعني أن بوابة OR هي نفسها سواء كانت من عائلة TTL أو عائلة .CMOS الفرق بين CMOS و TTL يظهر في بعض خواص هذه الدوائر كسرعة التبديل عندما تتغير الإشارات من ٠ إلى ١ أو من ١إلى ٠ والقدرة المفقودة في الشرائح أو الدوائر المتكاملة التي تحتوي على هذه البوابات.

فمثلاً تتميز دوائر TTL بسرعة تبديل كبيرة وكذلك قدرة مفقودة عالية. أما دوائر CMOS فإنها تتميز بسرعة تبديل نوعاً ما منخفضة وقدرة مفقودة صغيرة جداً وهذا ما يجعلها مفضلة على نظيرتها في TTL.

تتواجد الدوائر المتكاملة ذات صفين من الأرجل Dual in line بأعداد مختلفة من الأرجل فمنها ما تحتوي على ٨ ومنها على ١٤ أو ١٦ أو ٢٨ أو.٤٠

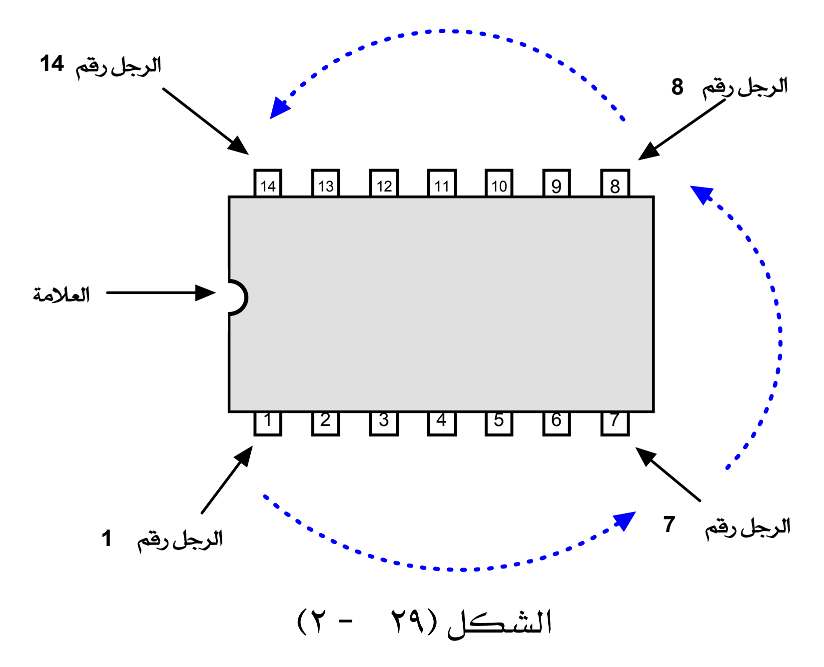
يبين الشكل (٢٨ -٢) مجسماً لهذا النوع من الدوائر.



الشكل (٢٨ - ٢)

نلاحظ أن هناك علامة تحدد الرجل رقم واحد والتي تكون مباشرة على يسار العلامة. ابتداء من الرجل رقم ١ نشرع في العد على نفس الصف إلى أن ينتهي الصف ما يعني هذا أن آخر رجل في الصف يكون رقمها إما ٤ أو ٧ أو ٨ أو ١٤ أو ٢٠ ثم نواصل العد مباشرةً من الرجل المقابلة (في الصف الثاني) ويكون رقم هذه إما ٥ أو ٨ أو ٩ أو ١٥ أو ٢١ ونواصل هكذا في العد إلى أن نصل إلى آخر رجل في الصف الثاني والتي تكون مقابلة للرجل رقم ١ ويكون رقمها إما ٨ أو ١٤ أو ١٦ أو ٢٨ أو ٤٠.

تدل الرجل GND على الأرضي و V_{cc} على جهد التغذية للدائرة.يوضح الشكل (٢٩ -٢)هذا التعريف في حالة استخدام دائرة متكاملة تحتوي على ١٤ دبوسا.



الشكل (٢٩ - ٢)

تحتاج الدوائر المتكاملة من عائلة CMOS إلى نوعين من حيث مصدر التغذية والتي هي v٥ أو v٣,٣.
أما عائلة TTL فإنها تستخدم v٥ فقط كجهد لتغذية دوائرها المتكاملة.

نستطيع أن نتعرف على العائلة التي تنتمي إليها الدائرة المتكاملة من خلال اسم الشريحة التي تمثل هذه الدائرة.

إذا كان اسم الشريحة يبدأ بـ HC٧٤... أو AC٧٤.... أو AHC٧٤.... فهذا يدل على دائرة من نوع CMOS والتي تستخدم تغذية قيمتها v٥. و إذا كان اسم الشريحة يبدأ بـ LV٧٤... أو LVC٧٤.... أو ALVC٧٤.... فهذا يدل على دائرة من نوع CMOS والتي تستخدم تغذية قيمتها v٣,٣.

أما إذا كان اسم الشريحة يبدأ بـ ٧٤... أو S٧٤.... أو AS٧٤.... أو LS٧٤.... أو ALS٧٤.... أو F٧٤.... فإن هذا يدل على شريحة من نوع TTL.

سوف يتبع أي بداية تسمية من التسميات التي رأيناها رقم يتكون من خانتين أو ثلاثة خانات. يُعرف هذا الرقم نوع البوابة أو البوابات التي تتكون منها الدوائر المتكاملة.

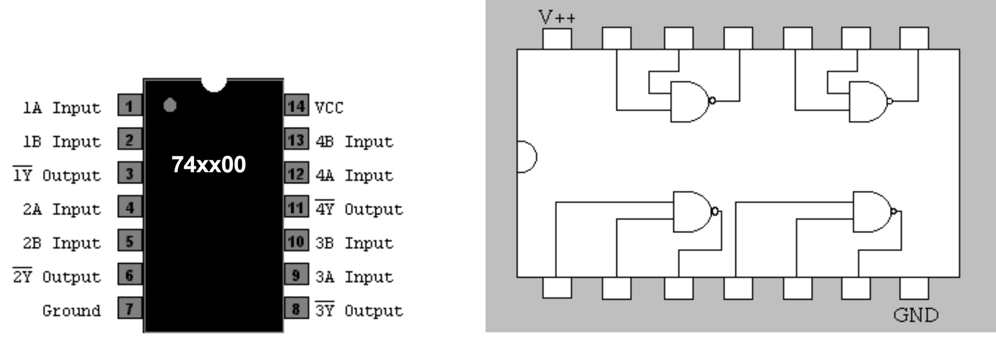
فمثلاً : تدل ٠٢ LS٧٤ على شريحة من عائلة TTL تتكون من أربعة بوابات NOR ذات مدخلين.

يوضح الجدول التالي الرقم المتكون من خانتين أو ثلاثة خانات والذي يعرف نوع البوابة التي تتكون منها الدائرة التكاملية.

٠٠	٤ بوابات NAND ذات مدخلين
٠٢	٤ بوابات NOR ذات مدخلين
٠٤	٦ بوابات NOT
٠٨	٤ بوابات AND ذات مدخلين
١٠	٣ بوابات NAND ذات ٣ مداخل
١١	٣ بوابات AND ذات ٣ مداخل
٢٠	بوابتين NAND ذات ٤ مداخل
٢١	بوابتين AND ذات ٤ مداخل
٢٧	٣ بوابات NOR ذات ٣ مداخل
٣٠	بوابة NAND ذات ٨ مداخل
٣٢	٤ بوابات OR ذات مدخلين
٨٦	٤ بوابات XOR ذات مدخلين
١٣٣	بوابة NAND ذات ١٣مدخل

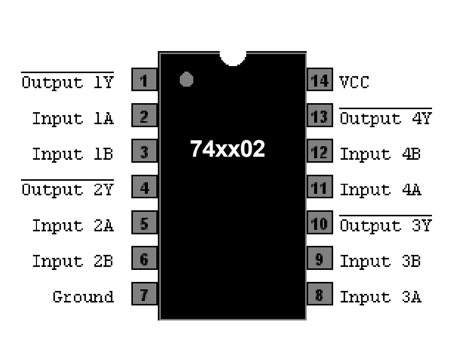
جدول(١٧ -٢)

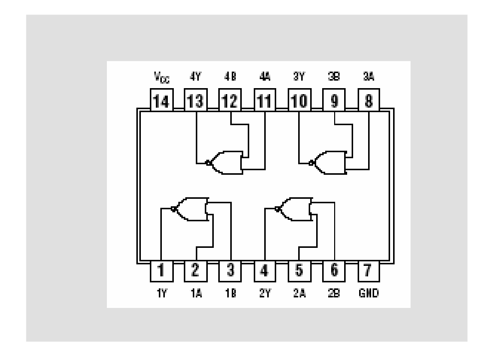
يبين الشكل (٣٠ -٢)الدائرة المتكاملة LS00٧٤ والتي تحتوي على٤ بوابات NAND ذات مدخلين .



الشكل (٣٠ -٢)

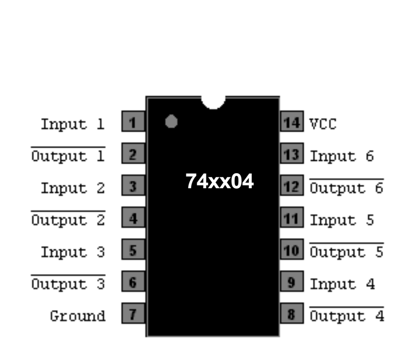
يبين الشكل (٣١ - ٢)الدائرة المتكاملة ٧٤LS02 والتي تحتوي على ٤ بوابات NOR ذات مدخلين.

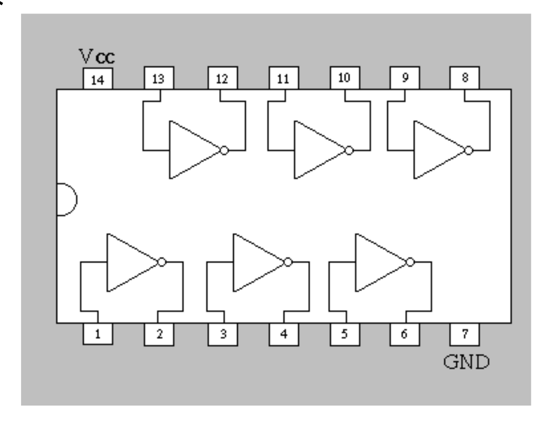




الشكل (٣١ - ٢)

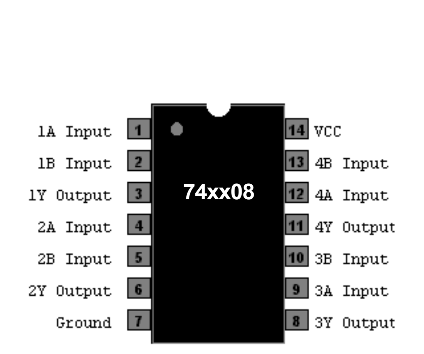
يبين الشكل (٣٢ -٢)الدائرة المتكاملة ٧٤LS04 والتي تحتوي على ٦ بوابات NOT.

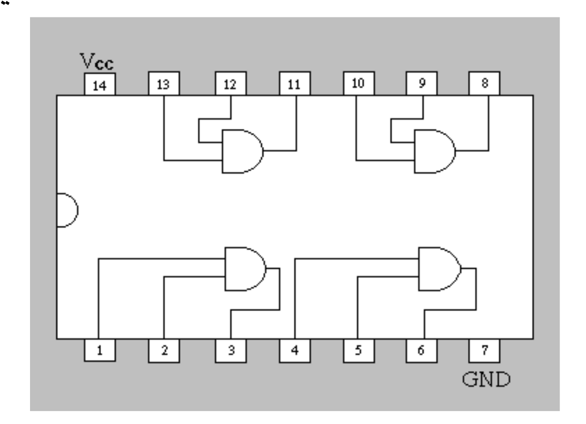




الشكل (٣٢ - ٢)

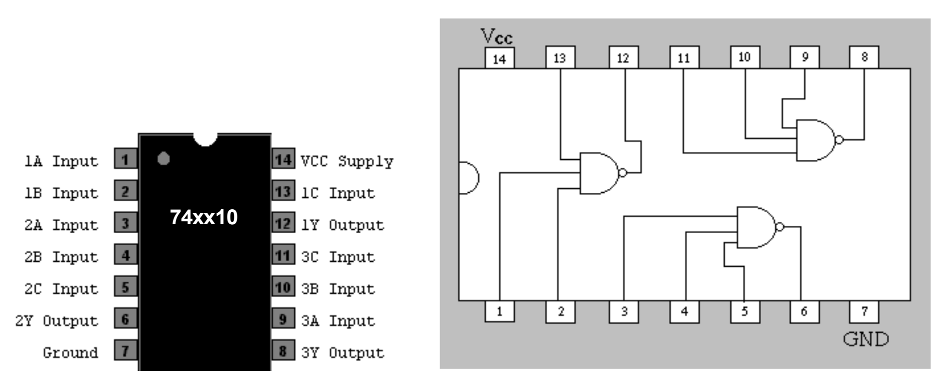
يبين الشكل (٣٣ -٢)الدائرة المتكاملة ٧٤LS08 والتي تحتوي على ٤ بوابات AND ذات مدخلين.





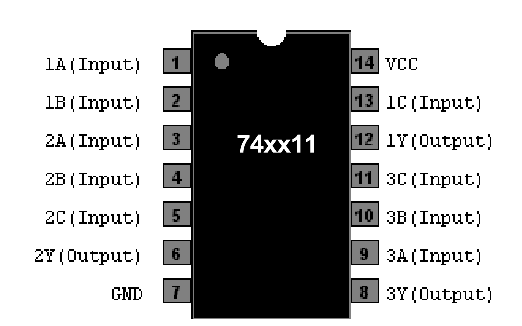
الشكل (٣٣ -٢)

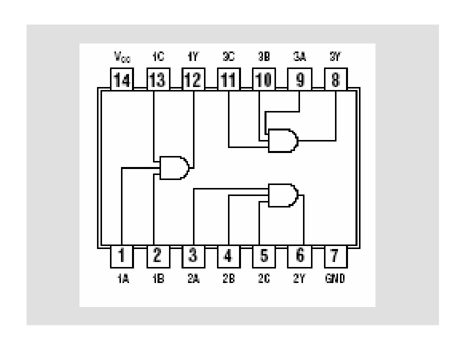
يبين الشكل (٣٤ -٢)الدائرة المتكاملة ٧٤LS10 والتي تحتوي على ٣ بوابات NAND ذات ٣ مداخل.



الشكل (٣٤ - ٢)

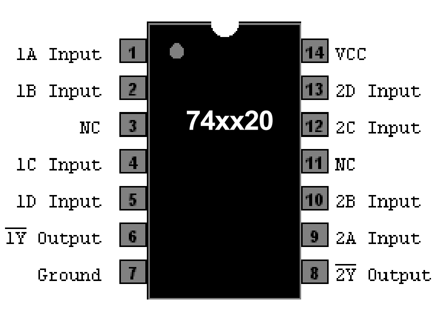
يبين الشكل (٣٥ -٢)الدائرة المتكاملة ٧٤LS11 والتي تحتوي على ٣ بوابات AND ذات ٣ مداخل.

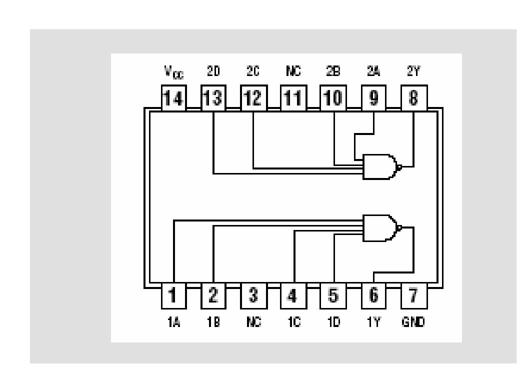




الشكل (٣٥ -٢)

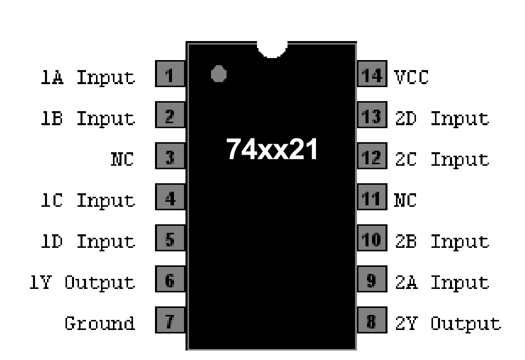
يبين الشكل (٣٦ - ٢)الدائرة المتكاملة ٧٤LS20 والتي تحتوي على بوابتين NAND ذات ٤ مداخل.

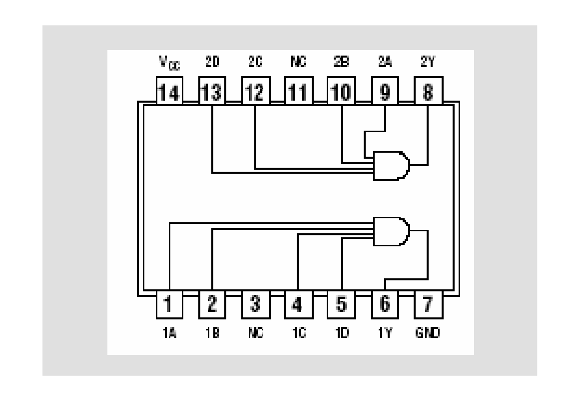




الشكل (٣٦ -٢)

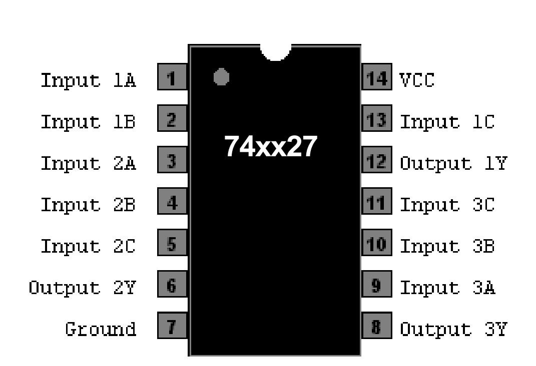
يبين الشكل (٣٧ -٢)الدائرة المتكاملة ٧٤LS21 والتي تحتوي على بوابتين AND ذات ٤ مداخل.

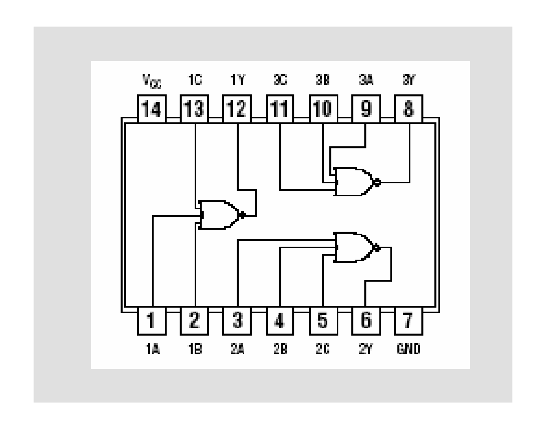




الشكل (٣٧ - ٢)

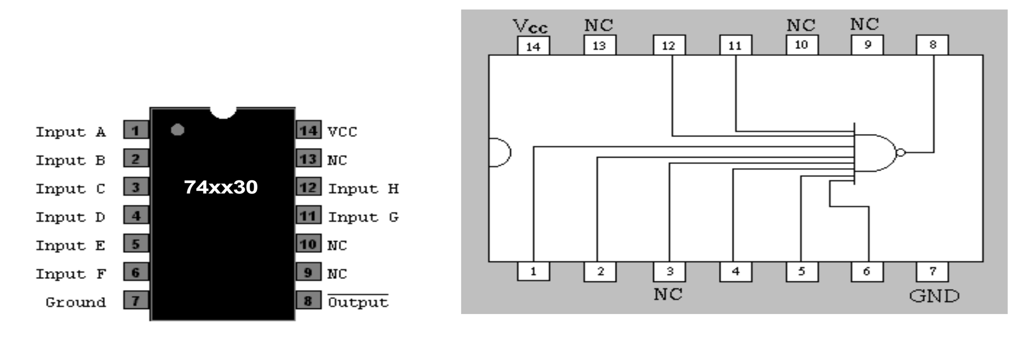
يبين الشكل (٣٨ - ٢)الدائرة المتكاملة ٧٤LS27 والتي تحتوي على ٣ بوابات NOR ذات ٣ مداخل.





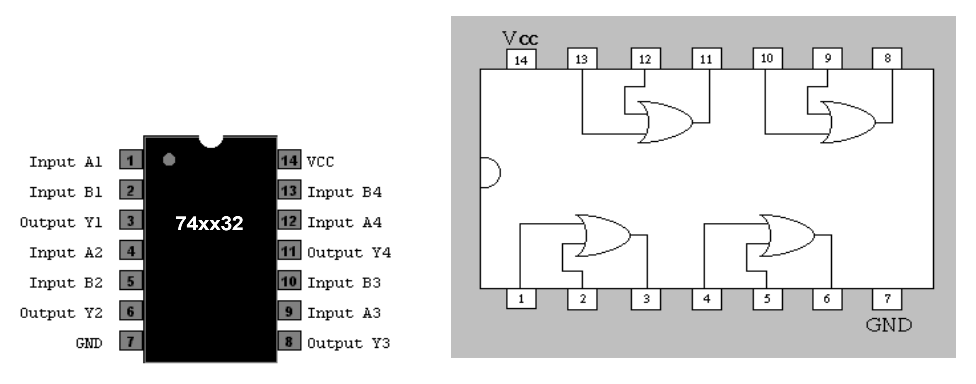
الشكل (٣٨ -٢)

يبين الشكل (٣٩- ٢)الدائرة المتكاملة ٧٤LS30 والتي تحتوي على بوابة NAND ذات ٨ مداخل.



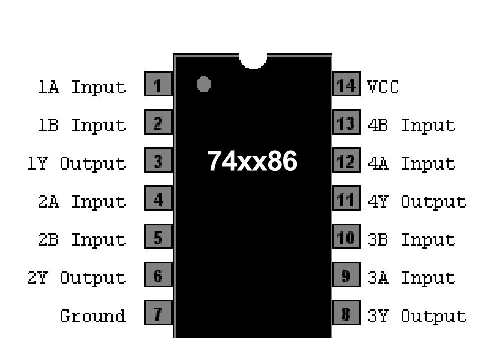
الشكل (٣٩ -٢)

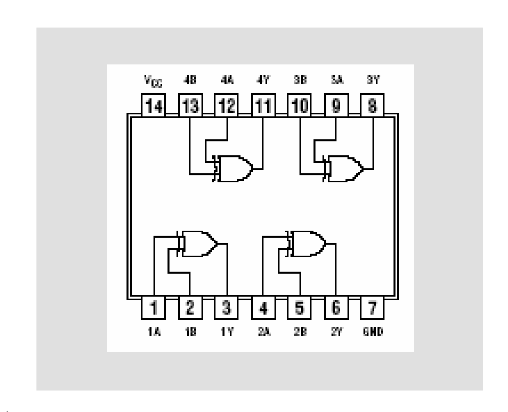
يبين الشكل (٤٠ -٢)الدائرة المتكاملة ٧٤LS32 والتي تحتوي على ٤ بوابات OR ذات مدخلين.



الشكل (٤٠ -٢)

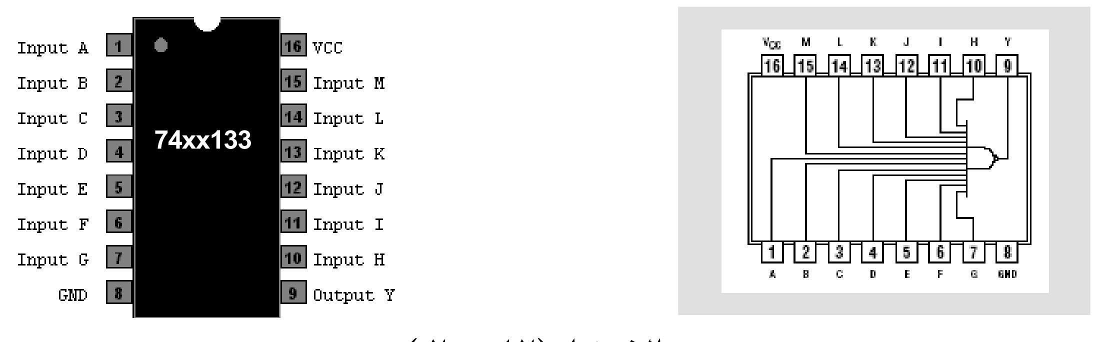
يبين الشكل (٤١ -٢)الدائرة المتكاملة ٧٤LS86 والتي تحتوي على ٤ بوابات XOR ذات مدخلين.





الشكل (٤١ - ٢)

و أخيرا يبين الشكل (٤٢- ٢)الدائرة المتكاملة ٧٤LS133 والتي تحتوي بوابة NAND ذات ١٣مدخل.



الشكل (٤٢ -٢)

اختبار ذاتي

١. متى يكون الخرج High لبوابة AND ذات ثلاثة مداخل C, B,A ؟
٢. متى يكون الخرج High لبوابة OR ذات ثلاثة مداخل C, B,A ؟
٣. أوجد الإشارة على مخرج Y لبوابة NOT عندما يكون الدخل يساوي:

A=10101110110111

٤. أوجد سلسلة نبضات الخرج Y لبوابة AND ذات مدخلين B,A عندما يكون:

A=101011111011
B=111110000010

٥. أوجد الموجه على خرج بوابة NAND ذات مدخلين B,A في حالة:

A=1010101010
B=1010101010

٦. استنتج جدول حقيقة بوابة XOR ذات ثلاثة مداخل C, B,A مع الخرج يساوي Y؟
٧. أوجد الدائرة المكافئة لبوابة XOR ذات مدخلين B,A بواسطة البوابات الأساسية OR , AND و NOT ؟
٨. أوجد الموجة على الخرج Y لبوابة XNOR ذات ثلاثة مداخل C, B,A في حالة:

A=10111011 , B=10001000 , C=01110111

المملكـة العربيـة السـعودية
المؤسسة العامة للتعليم الفني و التدريب المهني
الإدارة العامة لتصميم وتطوير المناهج



الدوائر الرقمية

الدوائر التجميعية Logic Combinational

الدوائر التجميعية Logic Combinational



٣

الجدارة:

التعرف على وظائف الدوائر التجميعية وكيفية توصيل الدوائر التكاملية الخاصة بها.

الأهداف:

أن يكون المتدرب بعد دراسة هذه الوحدة قادراً على:

١. تعريف دوائر الجامع , المقارن ,المشفر ،مفسر الشفرة، مجمع ومعدد القنوات
٢. شرح وظيفة كلٍ من هذه الدوائر
٣. معرفة توصيل الدوائر التكاملية التي تحتوي عليها هذه الوظائف

مستوى الأداء:

أن يصل المتدرب إلى إتقان الجدارة بنسبة ٩٠٪

الوقت المتوقع للتدريب:

ثمانية عشر حصة

الوسائل المساعدة:

التدريبات العملية

متطلبات الوحدة:

اجتياز الوحدات السابقة

مقدمة :

تحدثنا في الوحدة الثانية على البوابات المنطقية بصفة فردية أو تجميعات بسيطة لهذه البوابات. سوف نرى في هذه الوحدة كيف يتم توصيل هذه البوابات مع بعضها وهذا لغرض الحصول على مخرج أو عملية معينة ناتجة عن قيم محددة للمداخل.

فالدائرة المحصل عليها تدخل في فئة الدوائر المنطقية التجميعية يكون خرج هذه النوع من الدوائر متعلق بتجميع المداخل في أي لحظة من الزمن.

سوف نرى في هذه الوحدة أيضاً بعض الدوائر التكاملية والتي تؤدي نفس العمليات المحصل عليها بواسطة الدوائر التركيبية.

من بين الدوائر التي تحقق هذه العمليات نذكر:

دوائر الجامع و الطارح و المقارن والمشفر و مفسر الشفرة ومنتقى البيانات وموزع البيانات وبعض الدوائر الأخرى.

دائرة الجامع Adder :

يؤدي الكمبيوتر الرقمي كثيراً من المعالجات المختلفة للمعلومات لتحقيق أهداف مختلفة ومن بين الوظائف الحسابية التي يتم إجراءها بواسطة الكمبيوتر عملية جمع رقمين ثنائيين, وهذا الجمع البسيط يتكون من أربعة عمليات أساسية وهي بالتحديد:

٠+٠=٠ ← ما يعادل ٠ عشرياً

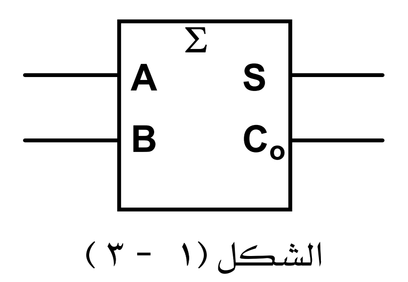
٠+١=١ ← ما يعادل ١ عشرياً

١+٠=١ ← ما يعادل ١ عشرياً

١+١=١٠ ← ما يعادل ٢ عشرياً

الجامع النصفي المرحل (الحمل) Half Adder

هي دائرة منطقية تقوم بجمع رقمين ثنائيين عند المداخل وتُعطي خرجين هما المجموع (Sum) والمرحل(Carry) كما هو موضح في الشكل (١ - ٣)



الشكل (١ - ٣)

من خلال عمليات الجمع الثنائية السابقة تكون مخارج الجامع النصفي مثل ما موضح في الجدول التالي:

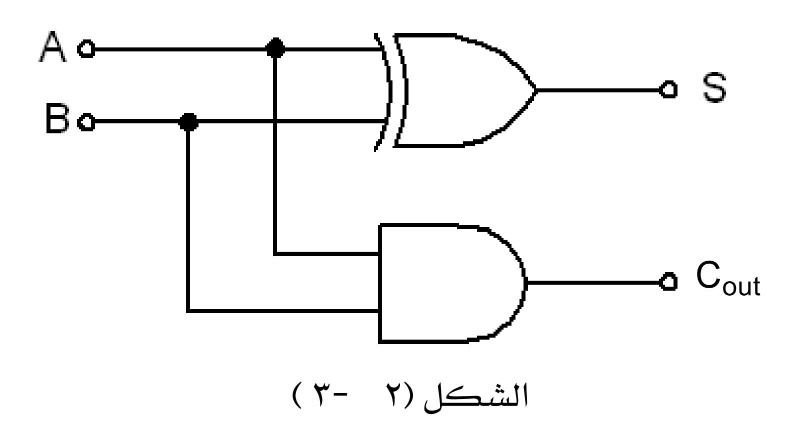
A	B	C_{out}	S
٠	٠	٠	٠
٠	١	٠	١
١	٠	٠	١
١	١	١	٠

جدول (١- ٣)

من الأداء المنطقي للجامع النصفي الموضح في جدول الحقيقة السابق يمكن استنتاج المعادلان المنطقية لحاصل الجمع (S) والمرحل (C_{out}) كدوال في متغيرات الدخل.

$S = A \oplus B$	
$C_o = AB$	

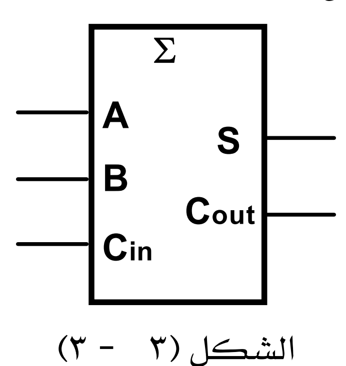
وهذا ما يؤدي إلى استنتاج الدائرة التركيبية للجامع النصفي مثل ما هو موضح في الشكل (٢ -٣)



الشكل (٢ -٣)

الجامع الكلي Full Adder

تتقبل دائرة الجامع الكلي ثلاث مداخل وتُعطي خرجين هما المجموع والمرحل , لذا فإن الفرق الأساسي بين دائرة الجامع النصفي و دائرة الجامع الكلي هو أن دائرة الجامع الكلي لها مدخل إضافي هو المرحل السابق (C_{in})، كما هو موضح بالشكل (٣ - ٣):



الشكل (٣ - ٣)

من خلال العمليات البسيطة التالية في النظام الثنائي:

$$\begin{array}{l} 1 \to A \\ +0 \to B \\ \underline{+0 \to C_{in}} \\ 01 \\ \downarrow\downarrow s \\ C_{out} \end{array} \qquad \begin{array}{l} 0 \to A \\ +1 \to B \\ \underline{+0 \to C_{in}} \\ 01 \\ \downarrow\downarrow s \\ C_{out} \end{array} \qquad \begin{array}{l} 0 \to A \\ +0 \to B \\ \underline{+0 \to C_{in}} \\ 00 \\ \downarrow\downarrow s \\ C_{out} \end{array}$$

$$\begin{array}{l} 1 \to A \\ +0 \to B \\ \underline{+1 \to C_{in}} \\ 10 \\ \downarrow\downarrow s \\ C_{out} \end{array} \qquad \begin{array}{l} 0 \to A \\ +0 \to B \\ \underline{+1 \to C_{in}} \\ 01 \\ \downarrow\downarrow s \\ C_{out} \end{array} \qquad \begin{array}{l} 1 \to A \\ +1 \to B \\ \underline{+0 \to C_{in}} \\ 10 \\ \downarrow\downarrow s \\ C_{out} \end{array}$$

$$\begin{array}{l} 1 \to A \\ +1 \to B \\ \underline{+1 \to C_{in}} \\ 11 \\ \downarrow\downarrow s \\ C_{out} \end{array} \qquad \begin{array}{l} 0 \to A \\ +1 \to B \\ \underline{+1 \to C_{in}} \\ 10 \\ \downarrow\downarrow s \\ C_{out} \end{array}$$

بإمكاننا استنتاج جدول الحقيقة التالي والمتعلق بالجامع الكلي:

A	B	C_{in}	C_{out}	S
٠	٠	٠	٠	٠
٠	٠	١	٠	١
٠	١	٠	٠	١
٠	١	١	١	٠
١	٠	٠	٠	١
١	٠	١	١	٠
١	١	٠	١	٠
١	١	١	١	١

جدول (٢- ٣)

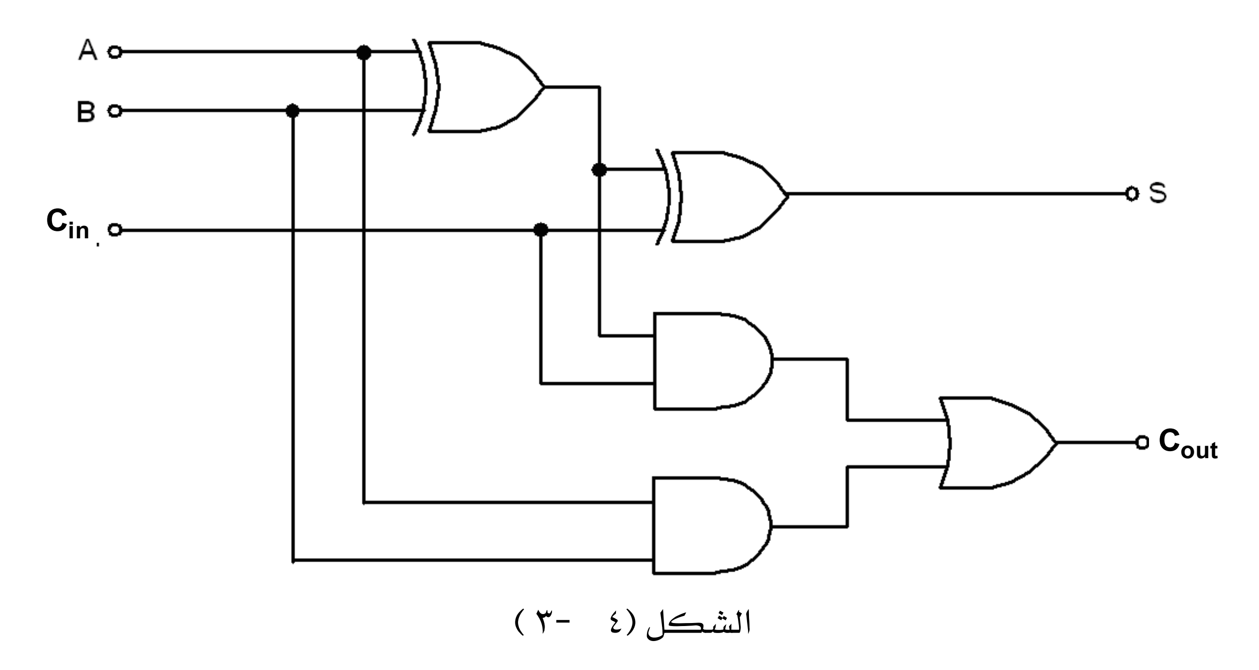
يتضح لنا من الجدول السابق أننا لو نركز على العمود S , بإمكاننا استنتاج المعادلة الخاصة بالمخرج S عندما تأخذ المداخل A و B و C كل الاحتمالات وهذا ما يؤدي إلى ملحوظة أن :

$S = A \oplus B \oplus C_i$	

أما بالنسبة للعمود C_{out}

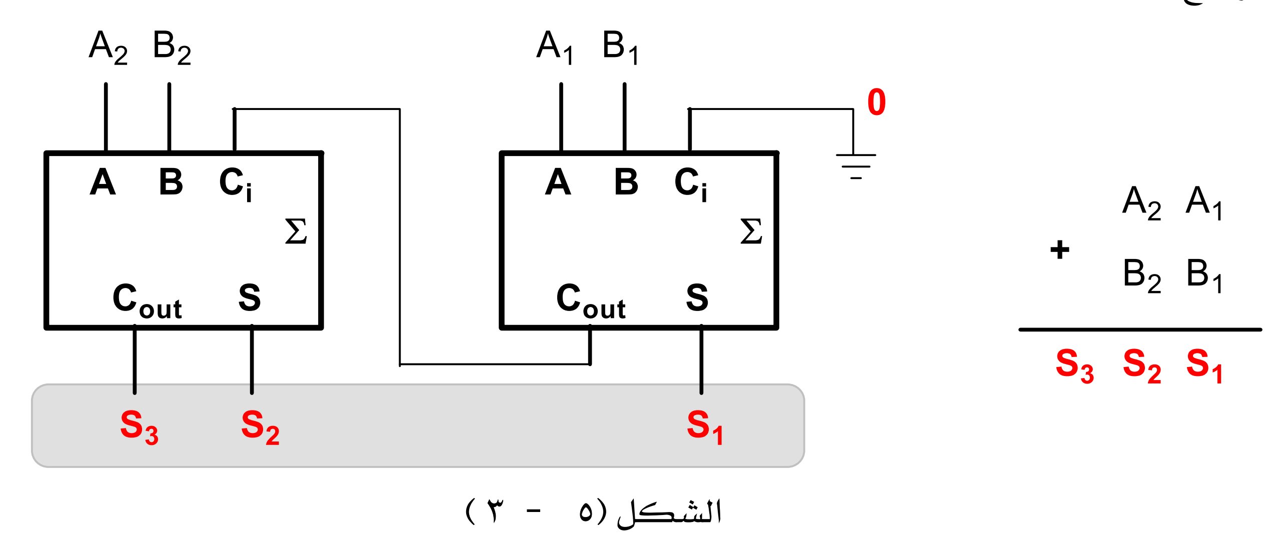
$C_{out} = AB + (A \oplus B)C_{in}$	

تنفيذ معادلتي المجموع والمرحل S و C_{out} تمكننا من رسم دائرة الجامع الكلي و التي تتمثل في الشكل (٤ - ٣)



الشكل (٤ -٣)

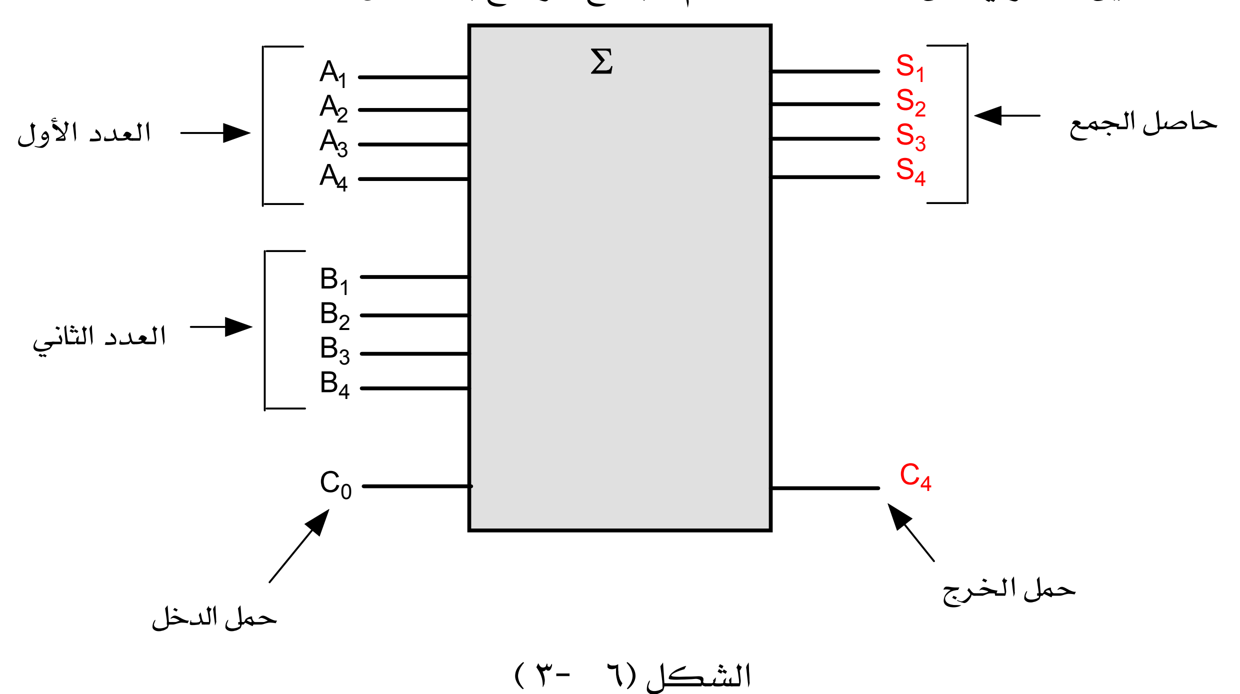
عند الرغبة في جمع عددين مكونين من خانتين نستخدم الجامع التفرعي ذي الحمل أو المرحل التسلسلي الموضح بالشكل (٥ - ٣)



الشكل (٥ - ٣)

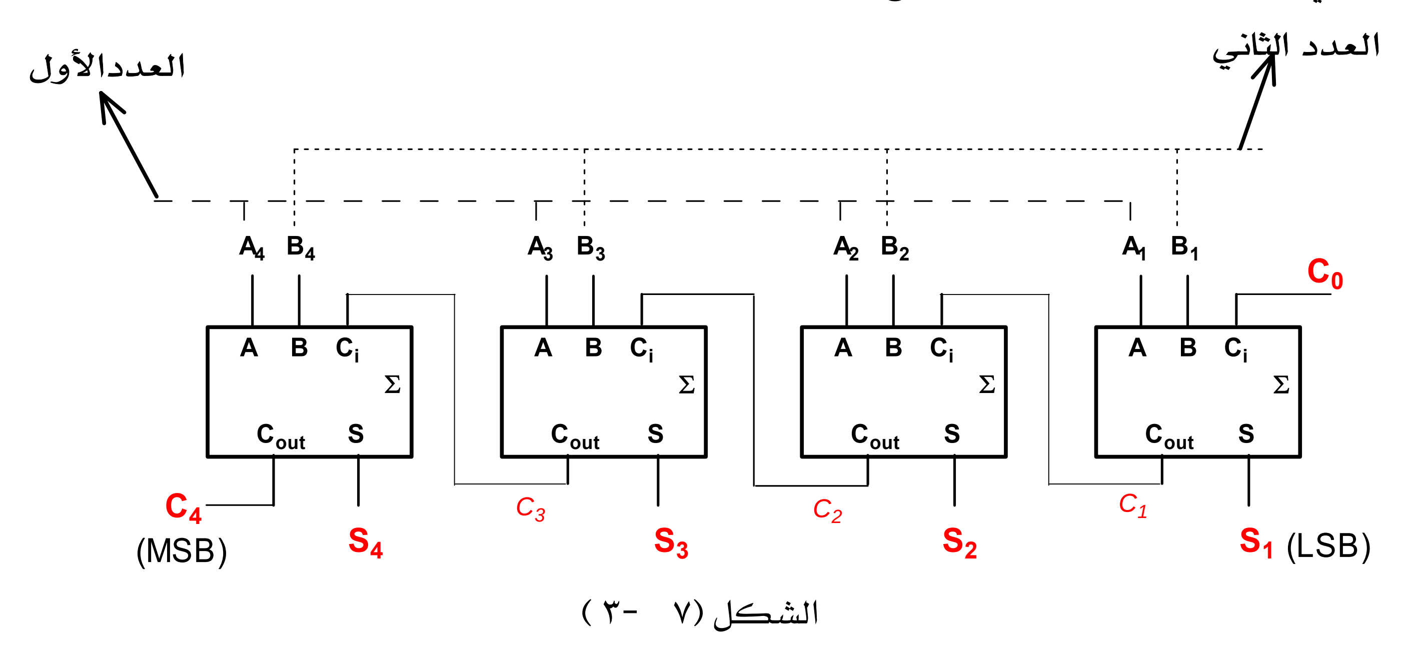
يتكون العدد الأول من خانتين وهما A_2A_1 , والعدد الثاني يتكون أيضاً من خانتين وهما B_2B_1.

إذا كان العددين مكونين من ٤ خانات نستخدم الجامع الموضح بالشكل (٦ - ٣)



الشكل (٦ -٣)

يعطي الشكل (٧ - ٣)أكثر توضيح للدائرة السابقة.



الشكل (٧ -٣)

يتكون العدد الأول من ٤ خانات تحتوي على بتات ثنائية وهي: $A_4A_3A_2A_1$ وهذا يعني أن محتوى أي خانة من الخانات يتمثل في قيمة مقدارها ٠ أو ١.

و يتكون العدد الثاني أيضاً من ٤خانات تحتوى على بتات ثنائية وهي: $B_4B_3B_2B_1$.

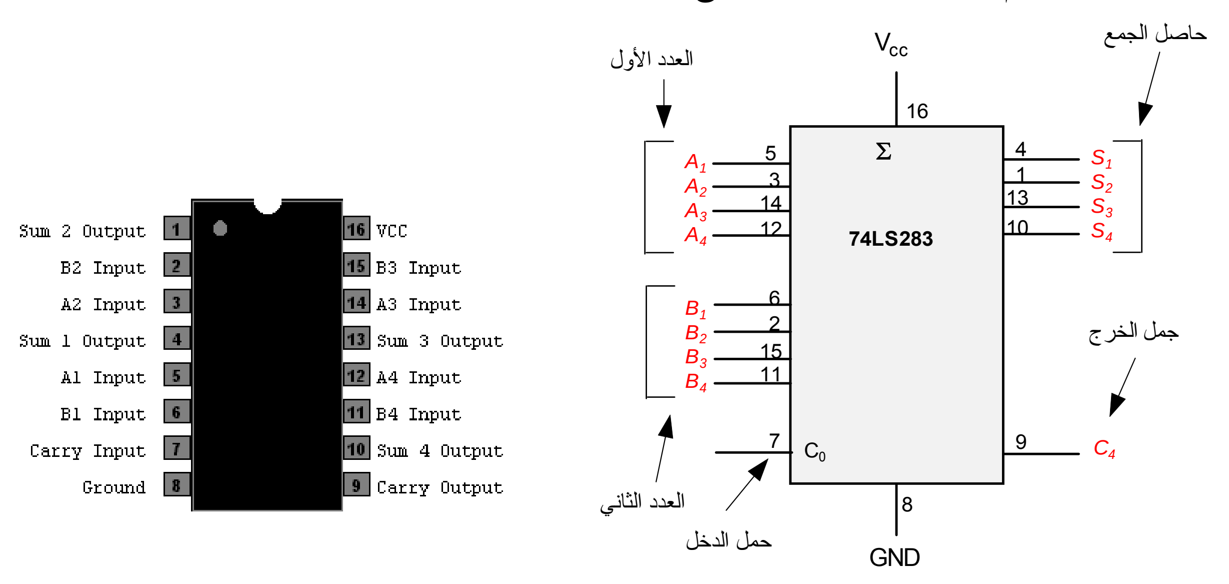
فمثلاً إذا أردنا أن نؤدي عملية: ١٢ + ٥

فيكون $A_4A_3A_2A_1 =$ ٠١٠١

ويكون $B_4B_3B_2B_1 =$ ١١٠٠

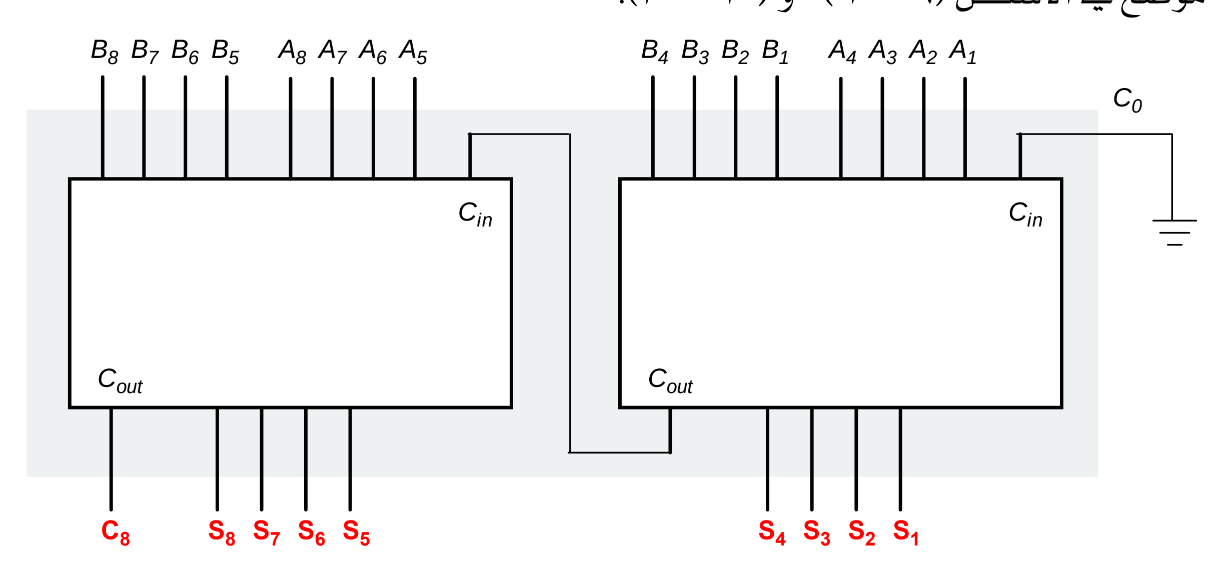
وهذا ما يرمي بنا إلى استخدام بعض الدوائر المتكاملة التي تؤدي إلى تحقيق عملية جمع عددين مكون كل واحد منهما من ٤ خانات.

يوضح الشكل (٨ - ٣)دائرة ٧٤٢٨٣ مع مخطط توصيل الأرجل. ويبين الشكل (❖❖) صورة مبسطة وواضحة لفهم مبدأ توصيل الدائرة مع مختلف مداخلها ومخارجها.

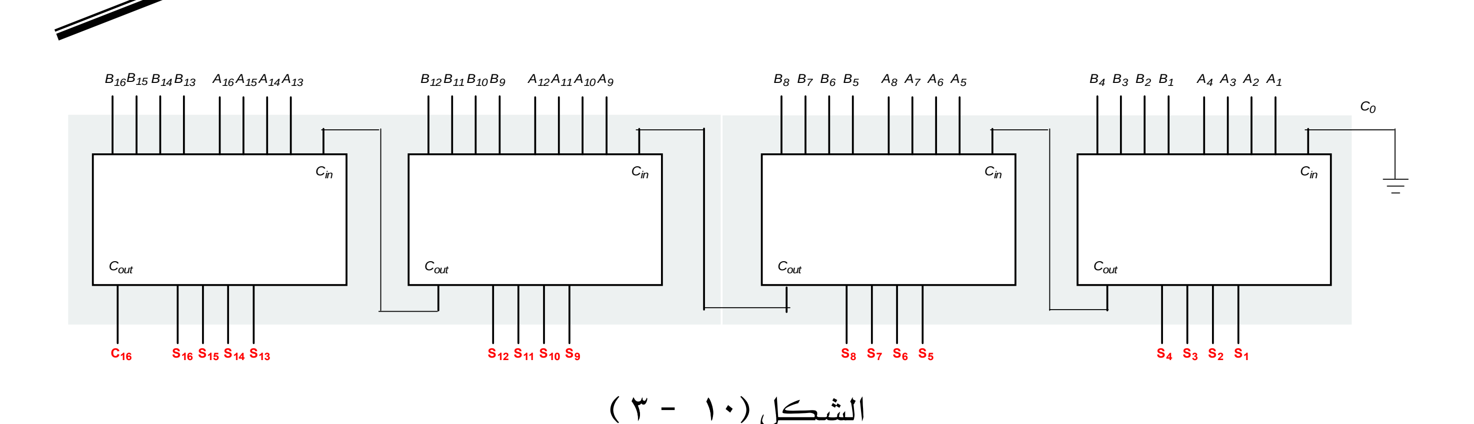


الشكل (٨ - ٣)

إذا كان العددين الذي نريد جمعهما كبيرين فبإمكاننا استخدام دائرتين من نوع ٧٤٢٨٣ على التوالي ويصبح هكذا بإمكاننا جمع عددين يتكون كل واحد منهما من ٨ خانات أو ١٦ خانة مثل ما هو موضح في الأشكال (٩ -٣) و (١٠ - ٣).



الشكل (٩ - ٣)



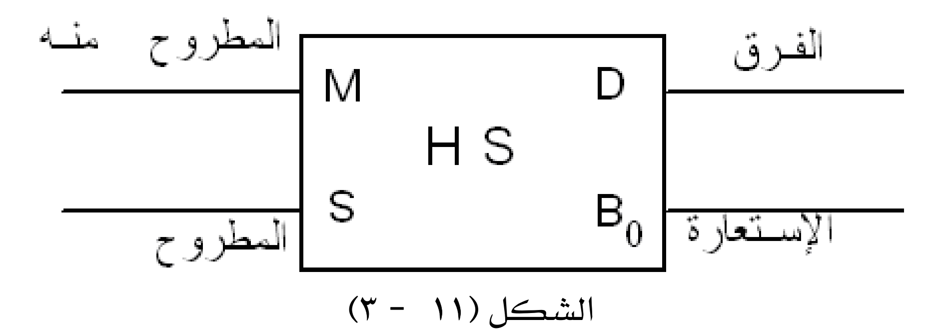
الشكل (١٠ - ٣)

الطارح Subtractor

من الممكن إجراء عملية الطرح بتحويلها إلى عملية جمع بطريقة معينة ولكن هنا (أي باستخدام الطارح)يمكن الطرح بطريقة مباشرة أي كما نطرح باستخدام الورقة والقلم , وعليه فإن كل خانة من خانات المطروح تطرح من الخانة المناظرة للمطروح منه وحاصل الطرح هو الفرق بينهما, فإذا كان المطروح أكبر من المطروح منه فتحدث عملية استلاف من الخانة المجاورة.

الطارح النصفي **Half Subtractor**

هي دائرة منطقية تقوم بطرح رقمين ثنائيين عند المداخل وتعطي خرجين هما الفرق (Difference) والاستعارة (Borrow) كما هو موضح في الشكل (١١- ٣):



الشكل (١١ - ٣)

يكون جدول حقيقة الطارح النصفي مثل ما هو موضح في الجدول (٣-٣)

M	S	D	B_0
٠	٠	٠	٠
٠	١	١	١
١	٠	١	٠
١	١	٠	٠

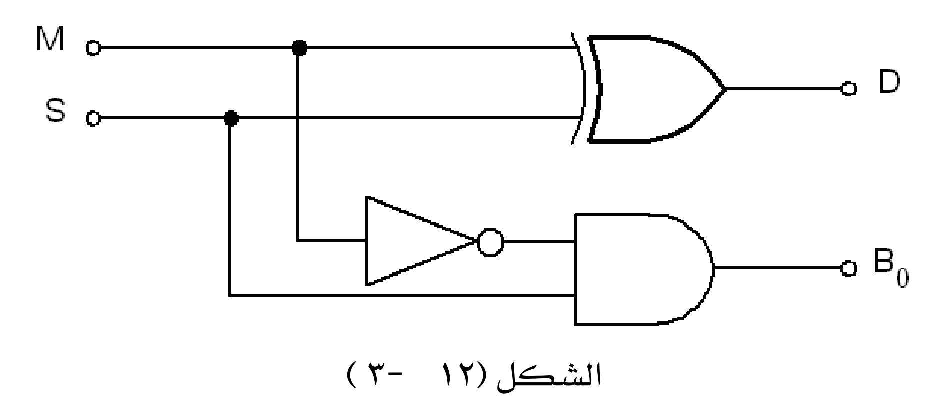
جدول (٣ - ٣)

من الأداء المنطقي للطارح النصفي الموضح في جدول الحقيقة يمكن استنتاج المعادلات المنطقية لخرج الفرق (D)، والاستعارة (B_0) كدوال في متغيرات الدخل.

يكون هكذا:

$D = M \oplus S$	
$B_o = \overline{M}S$	

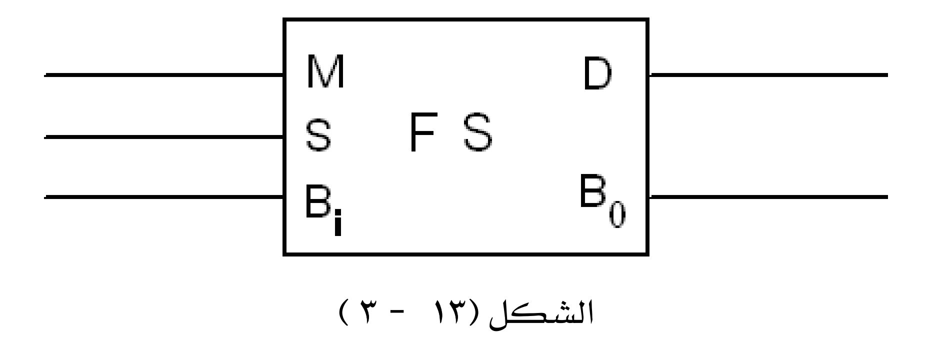
وهذا ما يمكننا من رسم الدائرة المنطقية للطارح النصفي، كما هو موضح في الشكل (١٢ -٣).



الشكل (١٢ -٣)

الطارح الكلي Full Subtractor

تستقبل دائرة الطارح الكلي ثلاثة مداخل وتولد خرج الفرق وخرج الاستعارة كما هو موضح بالشكل (١٣- ٣):



الشكل (١٣ - ٣)

يكون جدول حقيقة الطارح الكلي مثل ما هو موضح في الجدول (٤ -٣)

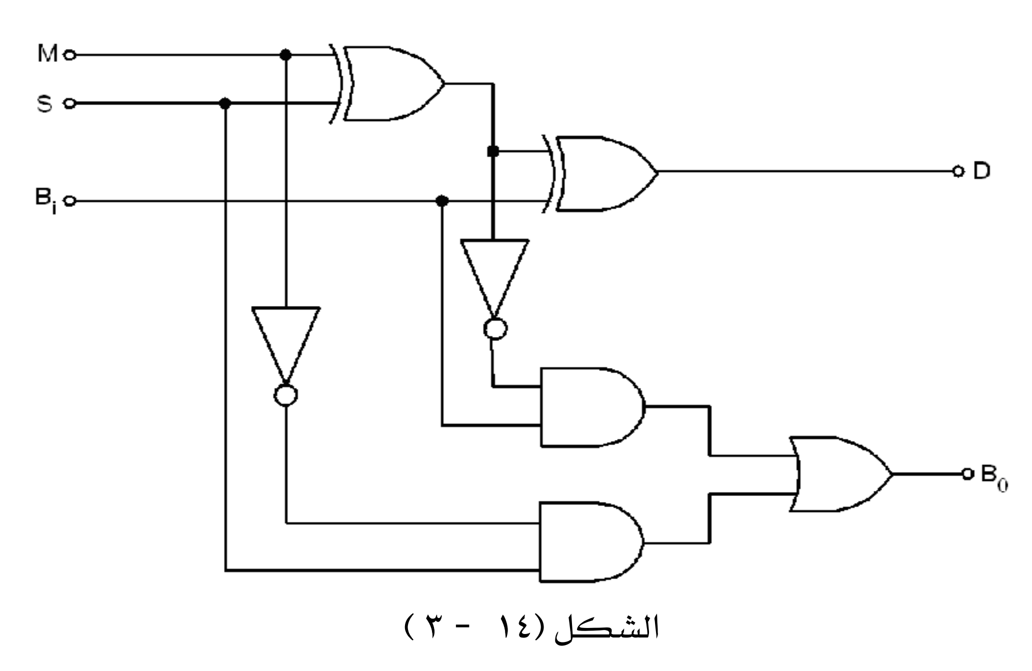
M	S	B_i	D	B_0
٠	٠	٠	٠	٠
٠	٠	١	١	١
٠	١	٠	١	١
٠	١	١	٠	١
١	٠	٠	١	٠
١	٠	١	٠	٠
١	١	٠	٠	٠
١	١	١	١	١

جدول (٤ - ٣)

يمكن استنتاج المعادلات المنطقية لخرج الطارح الكلي كما يلي:

$D = M \oplus S \oplus B_i$	
$B_o = S\overline{M} + B_i(\overline{M \oplus S})$	

يمكننا من المعادلات ، رسم دائرة الطارح الكلي باستخدام البوابات المنطقية، و هو ما يتضح من الشكل (١٤ - ٣)

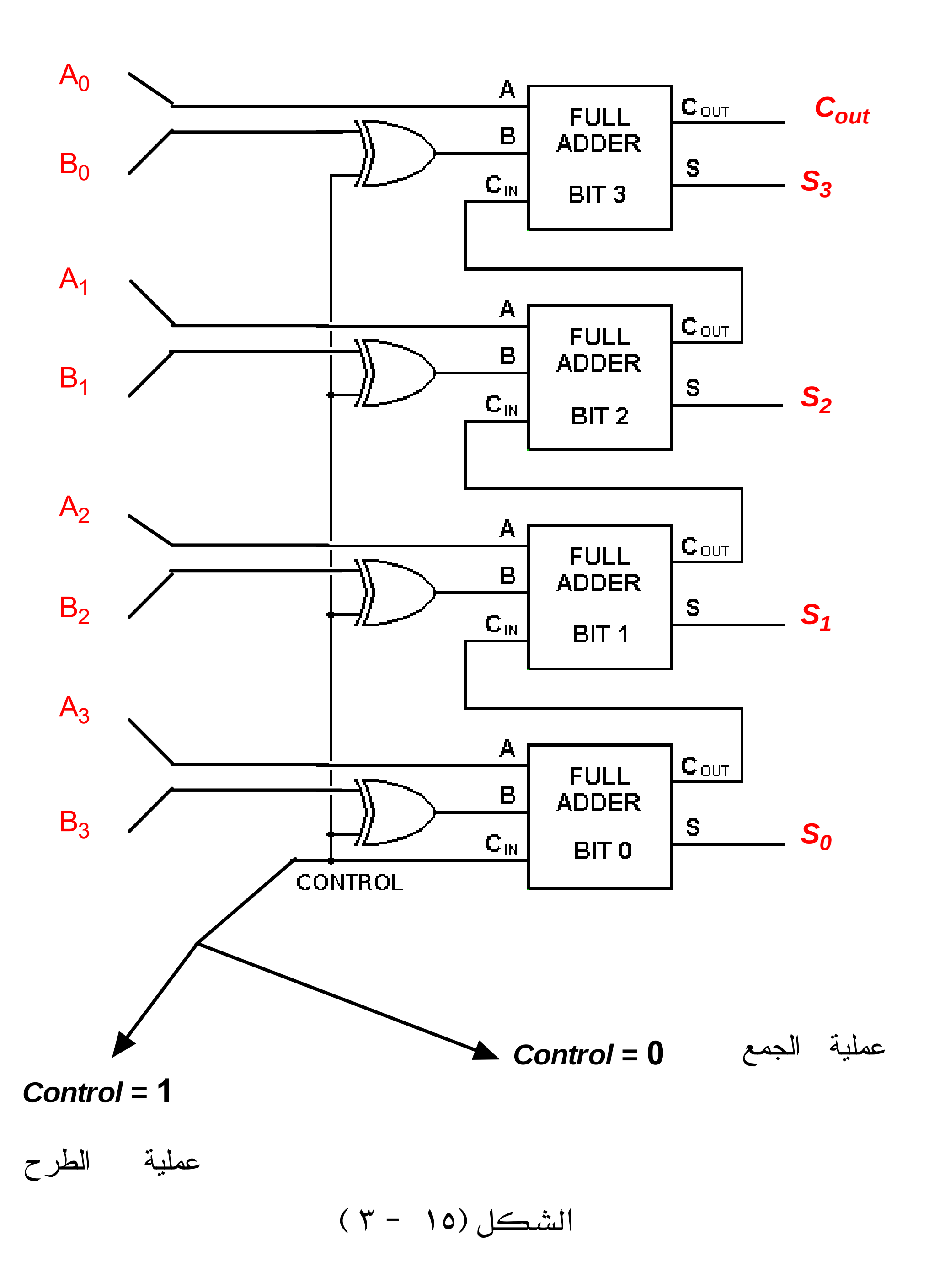


الشكل (١٤ - ٣)

في الحقيقة يحول الحاسوب عملية الطرح إلى عملية جمع بجمع العدد الأول مع سالب العدد الثاني.
بإمكاننا استخدام الشكل (١٥ -٣) للحصول على الطارح الكلي بواسطة الجامع الكلي.
وهذا ما يتنفذ بالضبط في أغلب الأنظمة الرقمية و الحواسيب. تسمى الطريقة المستخدمة بتقنية المكمل أو المتمم الثنائي S Complement'٢ . (تتحول في هذه الحالة عملية الطرح إلى عملية الجمع بإضافة بوابات).

إن مبدأ المكمل الثنائي مبني على عكس أو نفي كل بتات المطروح S ثم إضافة واحد للناتج. مثلاً إذا كان S=1001 فيصبح المتمم الثنائي للمطروح S هو عكس S يعني ٠١١٠ زائد واحد والذي يصبح ٠١١١.

فمن الشكل تتضح عملية عكس بتات المطروح من خلال بوابات XOR. عندما يكون أحد مداخل بوابة XOR يساوي ١ مثل ما هو الحالة في حالة الطرح فإننا نحصل على خرج بوابة XOR يساوي عكس المدخل الثاني للبوابة (إذا كان الدخل ١ يكون الخرج ٠ والعكس) أما إضافة الواحد فتتضح من خلال C_{in} =١ والذي في العادة يكون ٠ بالنسبة للبت أقل أهمية أو وزن LSB.


A0
B0
A1
B1
A2
B2
A3
B3
A
B
CIN
FULL ADDER BIT 3
FULL ADDER BIT 2
FULL ADDER BIT 1
FULL ADDER BIT 0
COUT
S
Cout
S3
S2
S1
S0
CONTROL
Control = 0
عملية الجمع
Control = 1
عملية الطرح

الشكل (١٥ - ٣)

المقارن الرقمي Digital Comparator

لمقارن دائرة رقمية تتمثل وظيفته في مقارنة مقداري وكميتين ثنائيتين لغرض إيجاد علاقة بين هاتين الكميتين. يدل المقارن ما إذا كانت هاتان الكميتان أو أن الثنائيان مستويين أو مختلفين .

لقد رأينا في الوحدة الثانية أن بوابة XOR أو بوابة عدم التوافق لها مخرج يساوي ١ عندما تكون المداخل مختلفة وتساوي ٠ عندما تكون المداخل متساوية مثل ما هو موضح في الشكل (١٦ - ٣).

بتات الدخل غير متساوية: 0 ، 1 ← 1

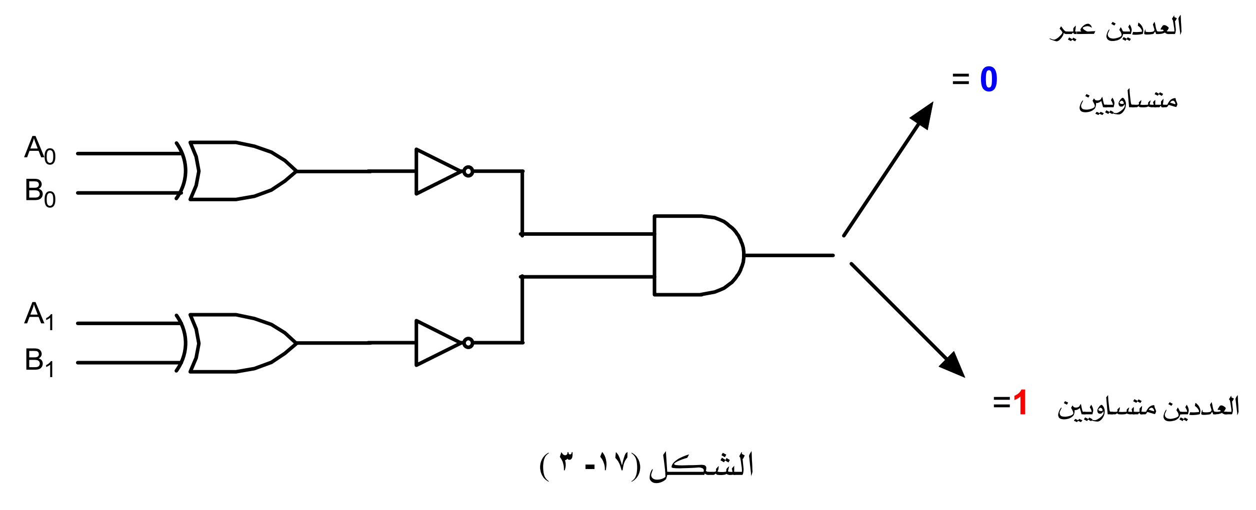
بتات الدخل متساوية: 0 ، 0 ← 0

بتات الدخل متساوية: 1 ، 1 ← 0

بتات الدخل غير متساوية: 1 ، 0 ← 1

الشكل (١٦ - ٣)

نستطيع أن نستغل نفس الفكرة لمقارنة عددين يحتوي كل منهما على بتين كما هو موضح في الشكل (١٧ - ٣).



الشكل (١٧- ٣)

تدلنا فكرة استخدام بوابات XOR على معرفة ما إذا كان العددان متساويان أم لا , لأن هذا النوع من الدوائر يحتوي على مخرج واحد.

للمزيد عن عملية المقارنة بإمكاننا تصميم دائرة تحتوي على مدخلين للمقارنة بين عددين يتكون كل واحد منهما من بت واحد, و ٣ مخارج يدل كل واحد منهما ما إذا كان البت الأول أكبر من , يساوي أو أصغر من البت الثاني وهذا ما هو موضح بالشكل (١٨ -٣)



الشكل (١٨ -٣)

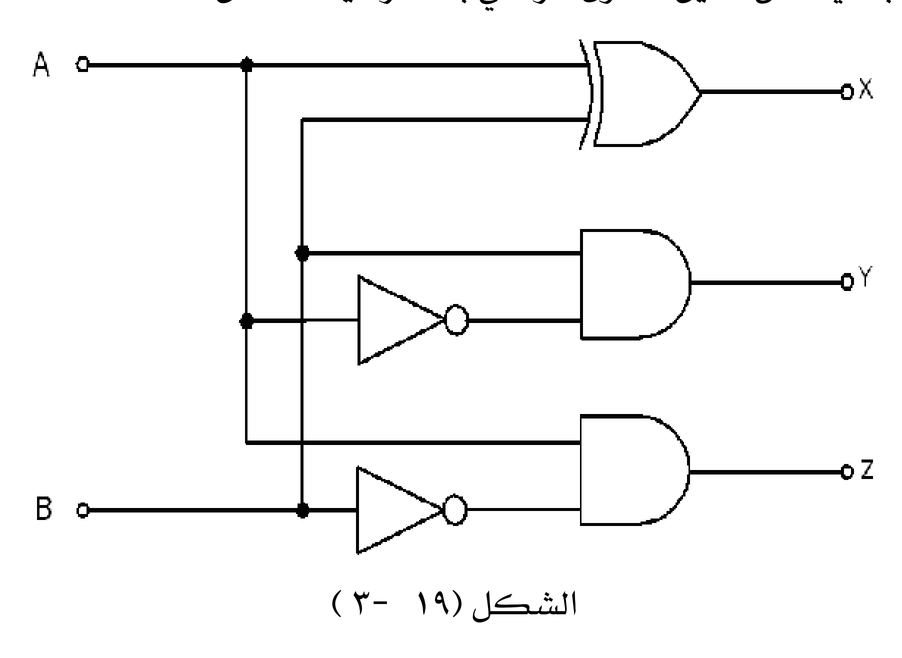
نستطيع الحصول على جدول حقيقة بالمخارج X و Y و Z مثل ما هو موضح بالجدول (٥ ٣-)
وبالتالي استنتاج المعادلات الخاصة بـ X و Y و Z كالآتي:

A	B	X A=B	Y A<B	Z A>B
٠	٠	١	٠	٠
٠	١	٠	١	٠
١	٠	٠	٠	١
١	١	١	٠	٠

جدول (٥ -٣)

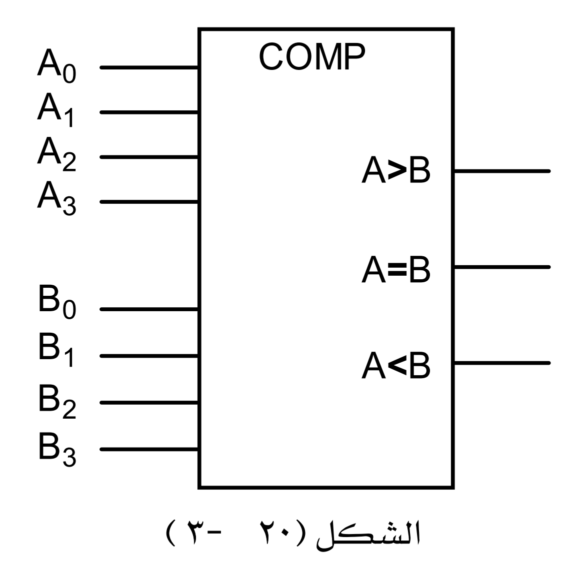
$$X = \overline{A}\,\overline{B} + AB = \overline{A \oplus B}$$
$$Y = \overline{A}B$$
$$Z = A\overline{B}$$

ومن المعادلات السابقة يمكن تمثيل المقارن الرقمي بالدائرة في الشكل (١٩ - ٣).



الشكل (١٩ -٣)

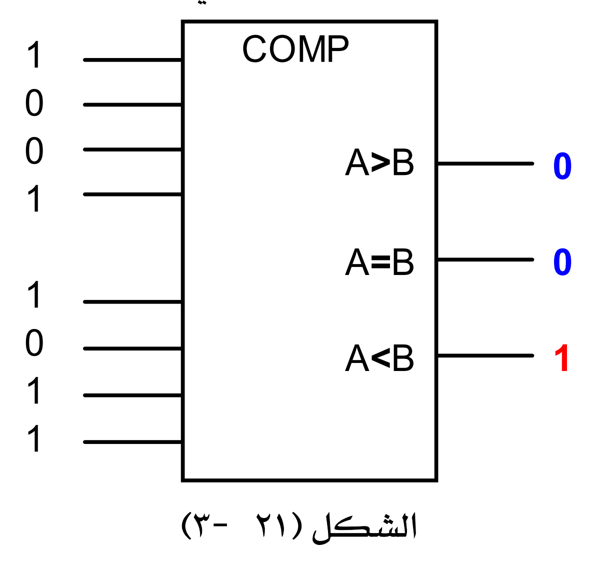
تمتاز بعض الدوائر المتكاملة التي تشتغل كمقارن على إعطاء معلومات أكثر دقة على عملية المقارنة, يحتوي هذا النوع من دوائر المقارنة على ثلاثة مخارج يكون أحدهما في حالة High أو ١ عندما يكون العدد الأول أكبر من العدد الثاني ويكون المخرج الثاني يساوي ١ إذا كان العددين متساويين ويكون المخرج الثالث يساوي ١ إذا كان العدد الأول أصغر من العدد الثاني, يوضح الشكل (٢٠ -٣) هذا النوع من الدوائر المقارنة.



الشكل (٢٠ -٣)

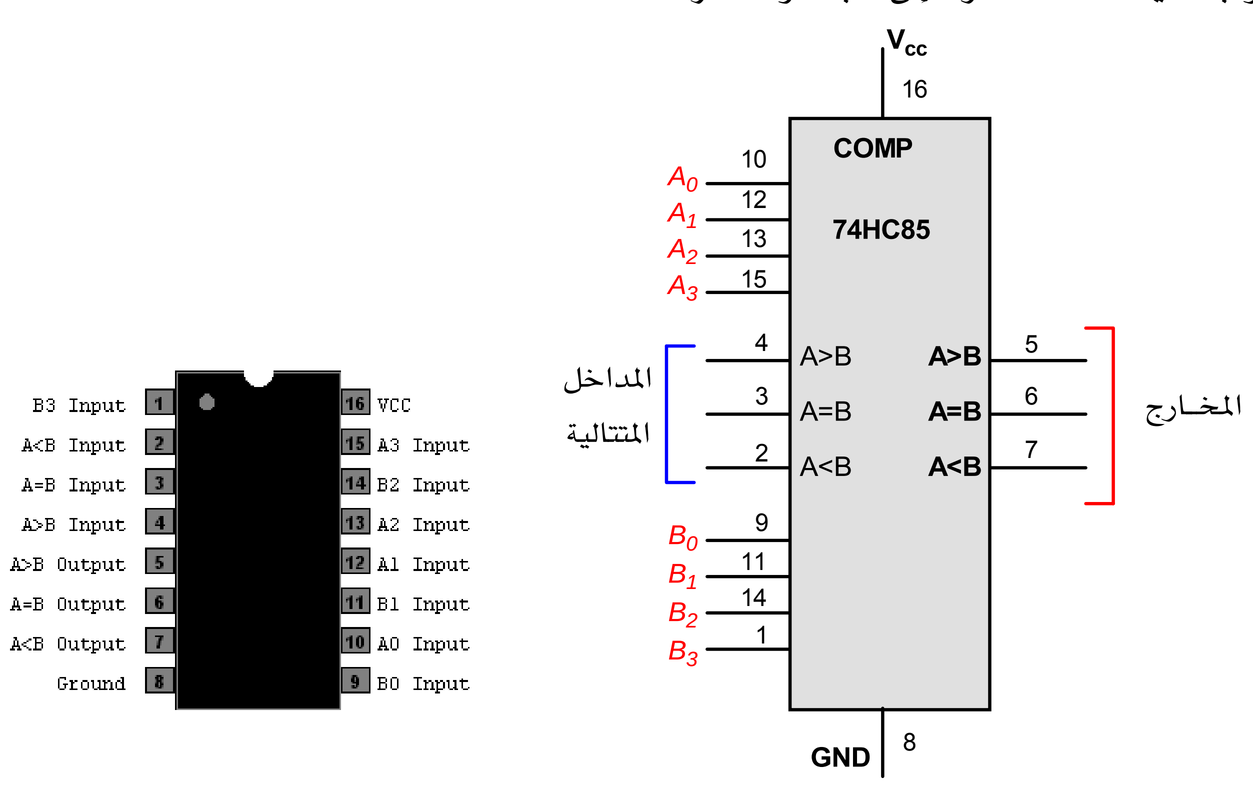
تقوم هذه الدائرة بمقارنة عددين يحتوي كل واحد منهما على ٤ بتات.

يبين الشكل (٢١ -٣) مثال عنده يساوي العدد A=1001 و العدد B=1101 ، نلاحظ في هذه الحالة أن الخرج A<B هو الذي يكون في المستوى High مما يعني أن العدد A أصغر من العدد B.



الشكل (٢١ -٣)

يوضح الشكل (٢٢ -٣) الدائرة المتكاملة ٧٤HC85مع مخطط توصيلها, نلاحظ أنه زيادة على المخارج العادية (A<B, A=B و A>B) تحتوي هذه الدائرة على المخارج $A<B_{in}$, $A=B_{in}$ و $A>B_{in}$ والتي تتمثل في الأرجل ٢ و ٣ و ٤ وهذا لإتاحة فرصة توصيل المقارن بالتوازي مع مقارن ثاني لغرض تمديد عدد البتات المتواجدة في الأعداد المقارنة إلى ٨ بت أو أكثر.

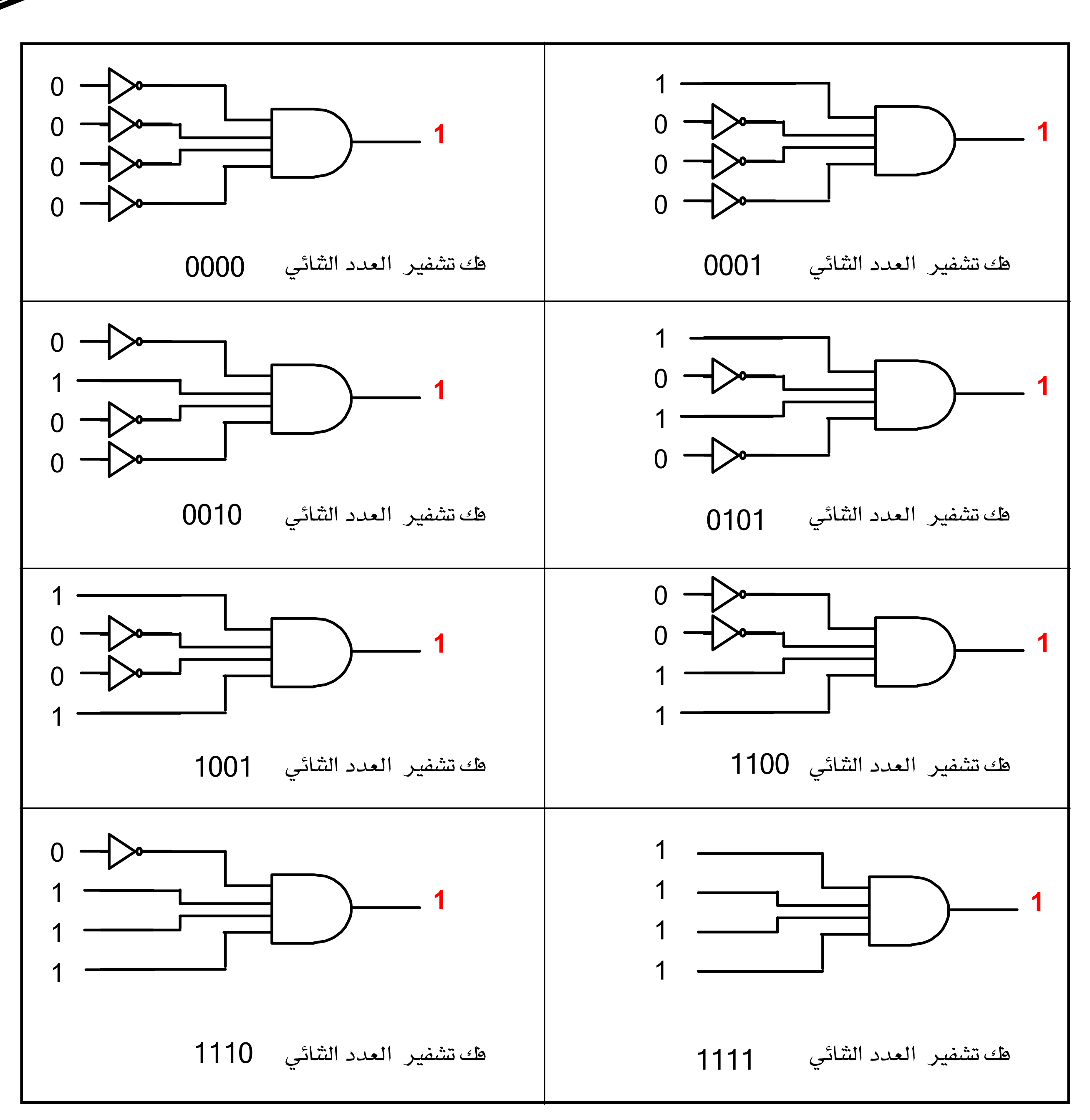


الشكل (٢٢ - ٣)

محلل الشفرة Decoder

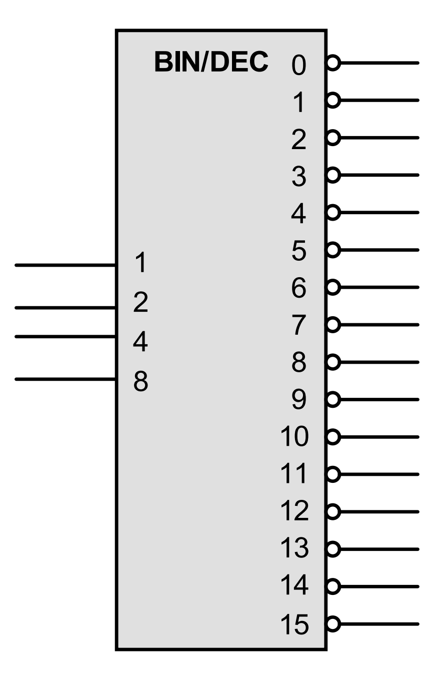
مبدأ تشغيل محلل الشفرة Decoder هو إعطاء في الخرج مستوى عالي High لتركيبة معينة لبتات الدخل, لذلك يحتوي محلل الشفرة عموماً على عدد N من المداخل (تركيبات تتكون من N بتات) وعدد ٢^N من المخارج. هناك العديد من دوائر محلل الشفرة, نركز في هذا الفصل على دائرة فك شفرة التي تحول تركيبة السلسلة من البتات الثنائية إلى مستوى عالي High لمخرج يمثل عدد عشري. لذا يطلق على هذا النوع من الدوائر محلل الشفرة من الثنائي إلى العشري Binary to Decimal . من أشهر الدوائر المتكاملة اليت تؤدي هذه المهمة محلل الشفرة من ٤ خطوط إلى ١٦ خط (٤ مداخل و١٦ مخرج) ويدعى أيضاً محلل شفرة ١ من بين ١٦ ١٦ 1 of Decoder لأنه يكون هناك خرج واحد نشط من بين الست عشرة مخرج لأي تركيبة لبتات الدخل.

نعلم أن العدد الثنائي ٠٠٠٠ يعادل العدد العشري. إذا أردنا أن يكون مستوى الخرج العشري للعدد٠ High عندما يكون الدخل يساوي ٠٠ فما علينا إلا استخدام التركيبة الأولى الموضحة في الشكل (٢٣ - ٣). يوضح الشكل بعض من التركيبات التي بإمكاننا تعميمها على كل الحالات.



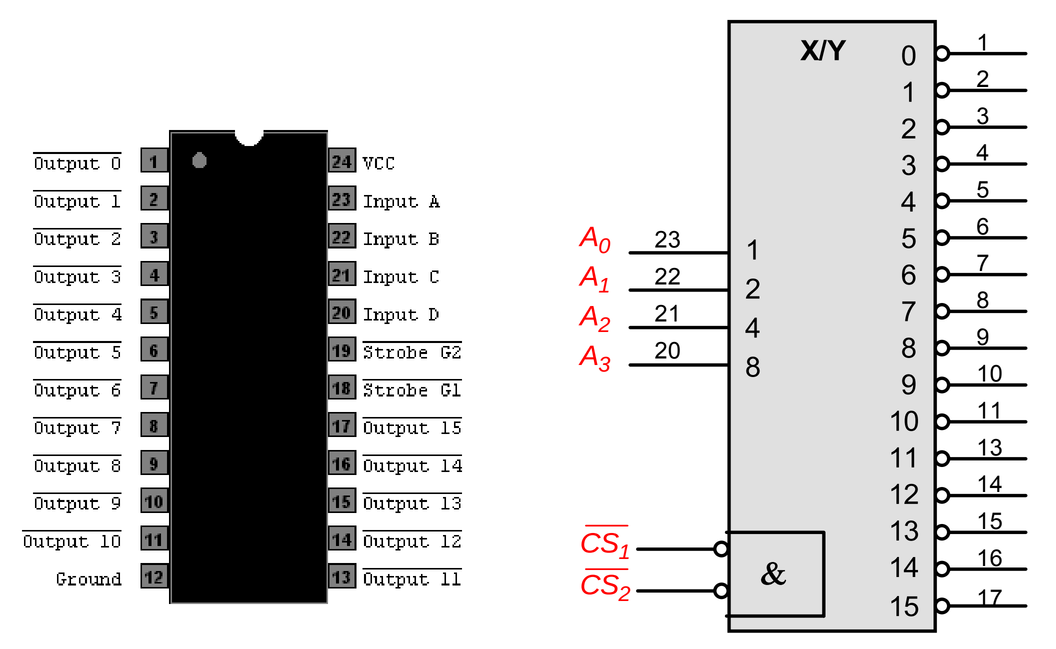
الشكل (٢٣ - ٣)

إذا جمعنا هذه الدوائر الممثلة لتركيبات الدخل في دائرة متكاملة واحدة ذات ٤ مداخل و١٦ مخرج تكون هذه الدائرة مثل ما هو موضح في الشكل (٢٣أ -٣).



الشكل (٢٣أ - ٣)

كما يوضح الشكل (٢٤ - ٣) مخطط توصيل دائرة HC154٧٤ عكس ما ذكرناه سابقاً فيكون الخرج المناسب لتركيبة الدخل في المستوى المنخفض Low وتكون باقي المخارج الخمسة عشر في المستوى العالي High هذا ما هو موضح بالعلامات الدائرية على مستوى المخارج. ما يعني هذا أننا نستخدم بوابات NAND بدلاً من بوابات AND.



الشكل (٢٤ - ٣)

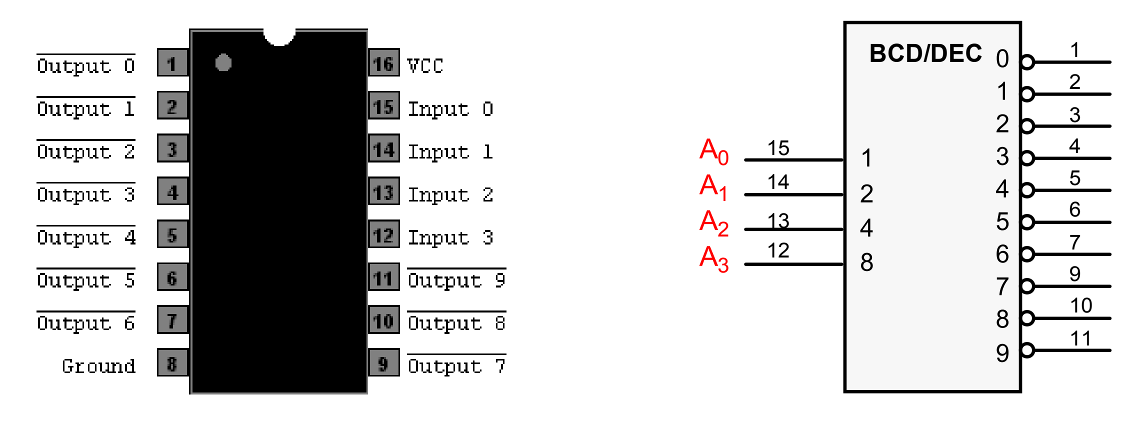
مفسر شفرة من BCD للعشري BCD Decimal Decoder:

في الشفرة الثنائية العشرية Binary Coded Decimal (BCD(8421 يتم تمثيل كل رمز من الرموز العشرة العشرية ٠ ,١ ,٢ ,٣, 4, ٥,٦ ,٧ ,8 ,٩ بواسطة أربعة خانات ثنائية أوزانها (٨ ٤ ٢ ١).
يوضح الجدول (٦ -٣) التالي تمثيل الأعداد العشرية من ٠ إلى ٩ بواسطة الشفرة الثنائية العشرية BCD.
يطلق على هذا النوع من محلل الشفرة اسم ١ من بين ١٠ ١٠ of Decoder 1 .

الشفرة B D C (٨٤٢١)	العدد العشري
٠٠٠٠	٠
٠٠٠١	١
٠٠١٠	٢
٠٠١١	٣
٠١٠٠	٤
٠١٠١	٥
٠١١٠	٦
٠١١١	٧
١٠٠٠	٨
١٠٠١	٩

جدول (٦ - ٣)

يوضح الشكل (٢٥ -٣) الرمز المنطقي لدائرة محلل الشفرة HC42٧٤ الذي يحول أي شفرة BCD تتكون من أربعة بتات إلى نظيرتها العشرية.

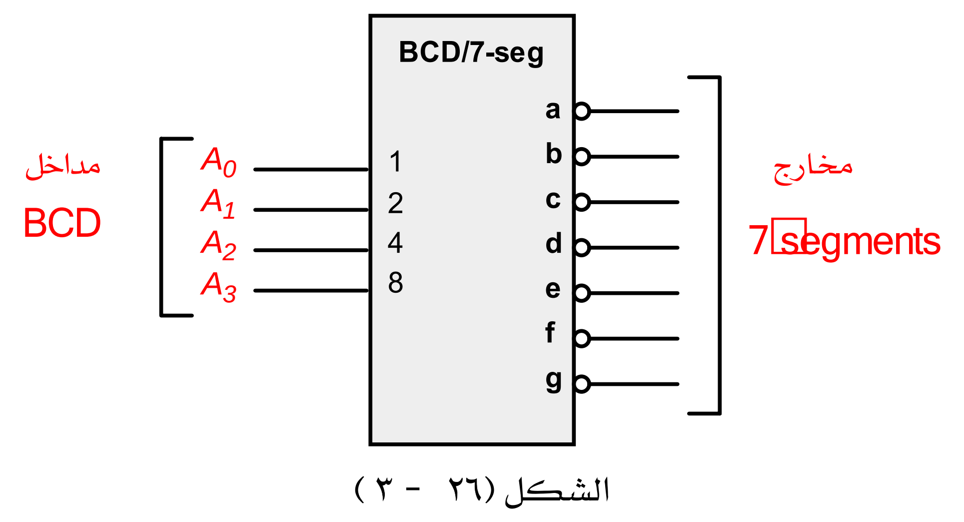


الشكل (٢٥ - ٣)

محلل شفرة من BCD إلى شاشة عرض ٧ أجزاء BCD-TO-7 Segments Decoder

يقوم محلل الشفرة من BCD إلى شاشة عرض ٧ أجزاء بتحويل شفرة ثنائية BCD تتكون من ٤ بتات كمدخل إلى عرض الرقم العشري المناسب لهذه الشفرة كمخرج.

يوضح الشكل (٢٦ -٣) الرمز المنطقي لمحلل شفرة من هذا النوع.

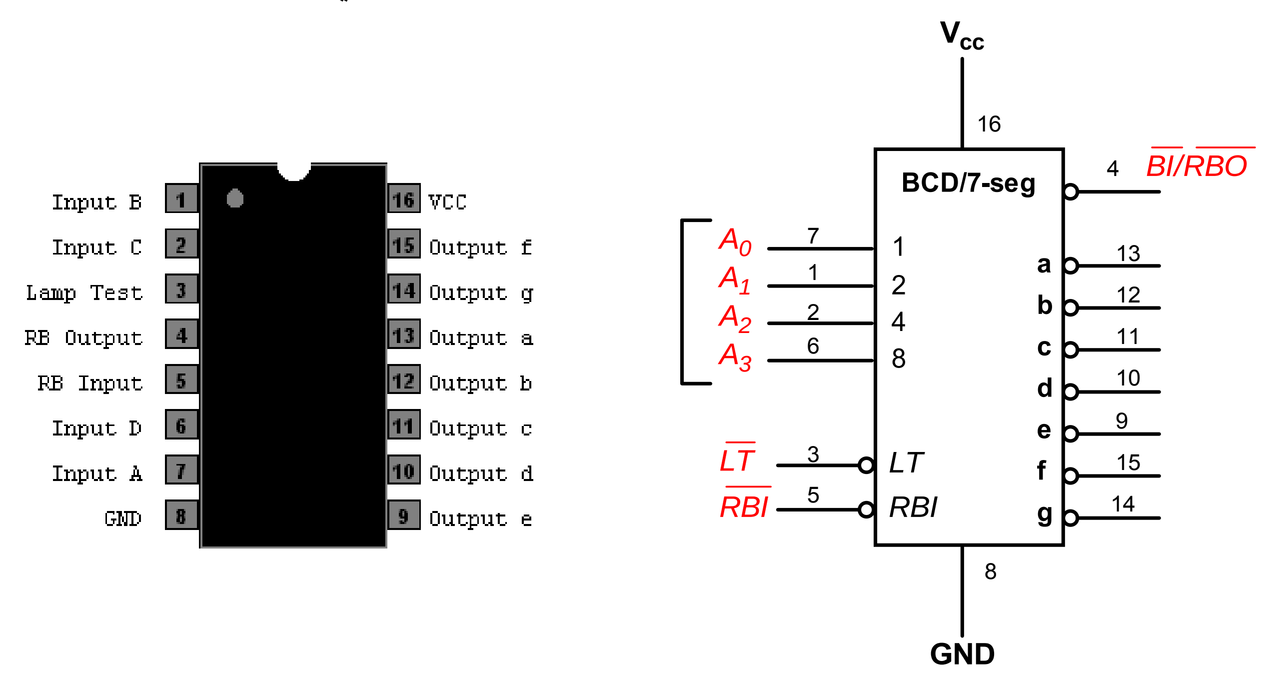


الشكل (٢٦ - ٣)

نلاحظ من هذا الشكل أن المخارج النشطة أو الفعالة تحدث عندما يكون عليها جهد منخفض Low .

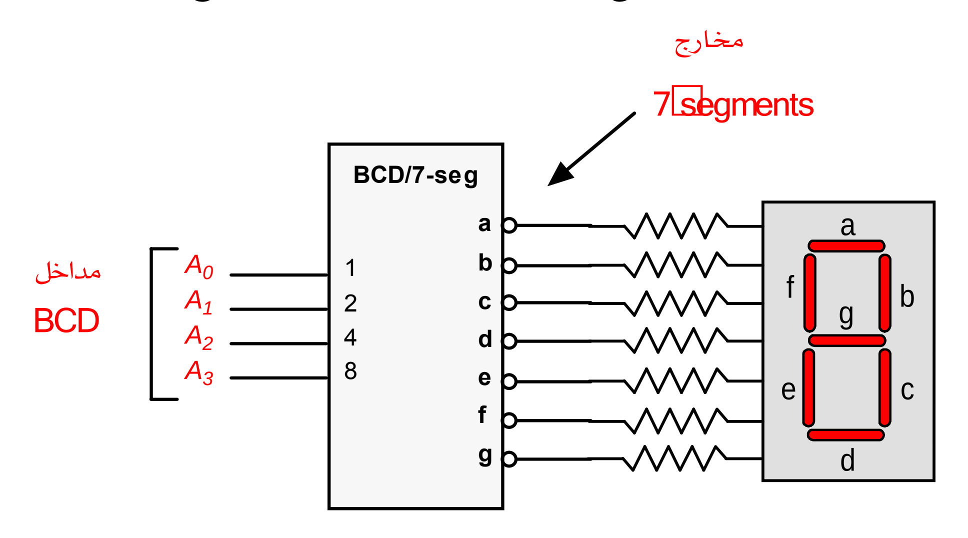
تعتبر دائرة LS47٧٤ من الدوائر المتكاملة المتخصصة في هذا النوع من عمليات فك التشفيرة.

يظهر على الشكل (٢٧ - ٣) مخطط توصيل أرجل الدائرة والرمز المنطقي لهذه الدائرة.



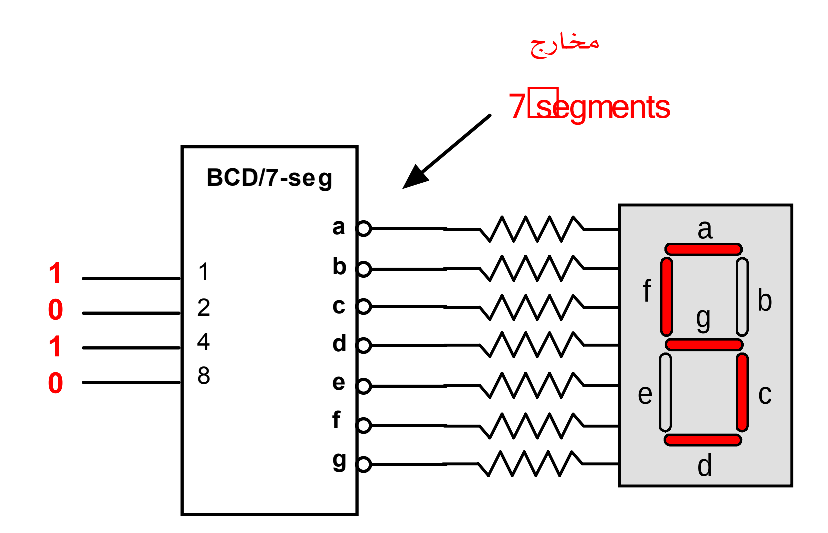
الشكل (٢٧ - ٣)

تتم عملية توصيل محلل الشفرة مع شاشة العرض مثل ما هو موضح الشكل (٢٨ - ٣).



الشكل (٢٨ -٣)

فمثلا في حالة قيمة شفرة BCD $A_3A_2A_1A_0$= ٠١٠١ فإننا نحصل على قيم جهود منخفضة Low على المخارج a وf و g و c و d وهذا ما يمكن الشاشة من عرض الرقم العشري ٥ يوضح الشكل (٢٩ -٣) هذه الحالة.



الشكل (٢٩ - ٣)

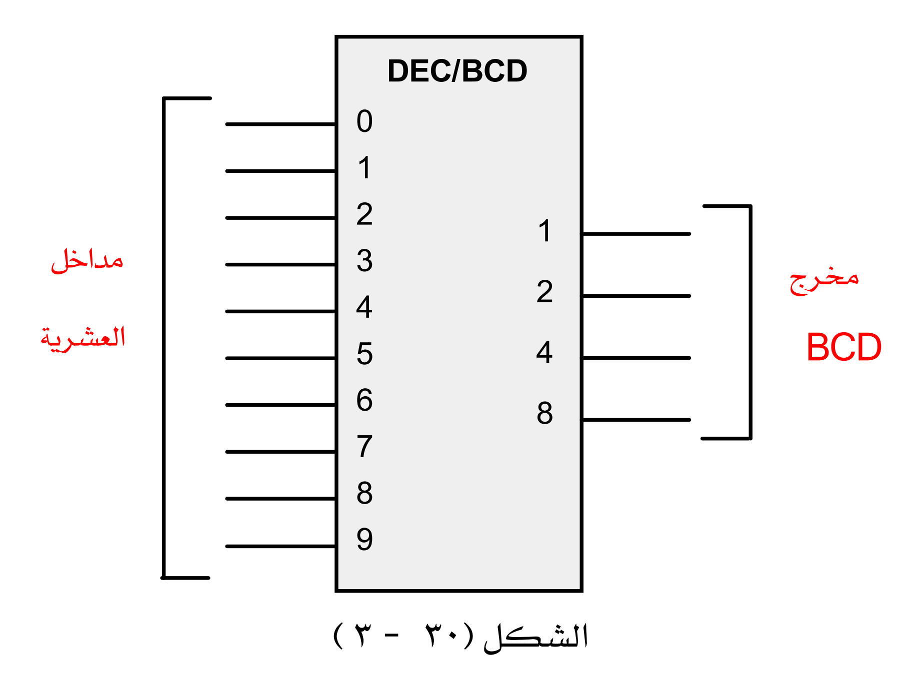
المشفرات Encoders

تقوم المشفرات بالعملية العكسية التي تقوم بها محللات أو مفسرات الشفرات. يحول المشفر أي مستوى نشط لأحد مداخله كعدد عشري مثلاً إلى خرج مشفر ثنائياً أو إلى BCD, وهذا عكس العملية التي رأينا مع مفسرا الشفرات.

المشفر من العشري إلى BCD

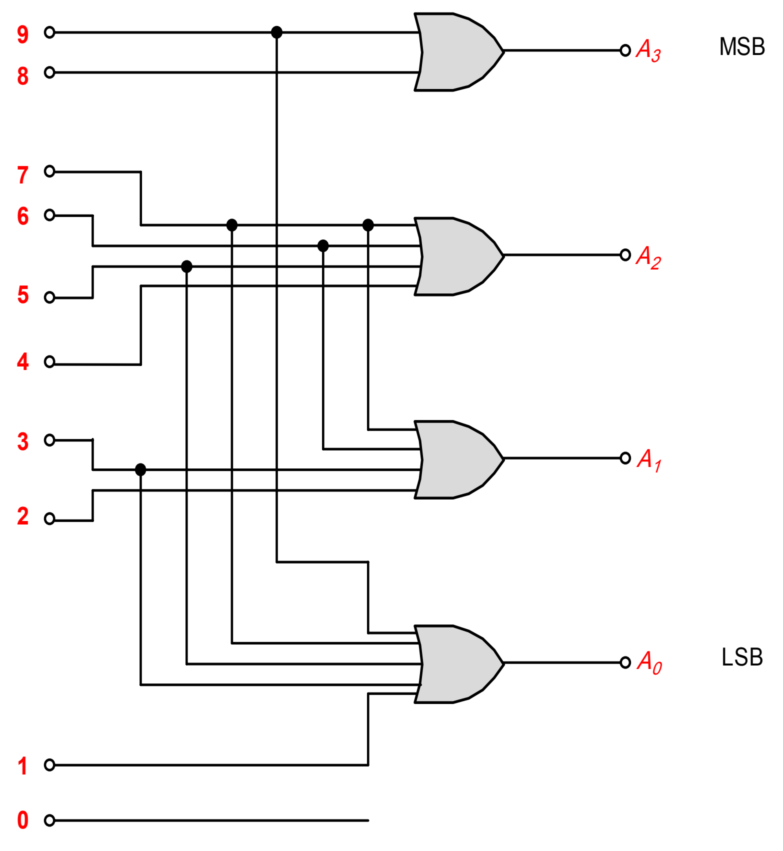
يحتوي هذا النوع من المشفرات على عشرة مداخل تمثل الرموز العشرية ٠ ,١ ,٢ ,٣, 4, ٥,٦ ,٧, 8, ٩ وأربعة مخارج تمثل شفرة BCD للمدخل المحدد.

يوضح الشكل (٣٠ - ٣) الرمز المنطقي لمشفر من العشري إلى BCD.



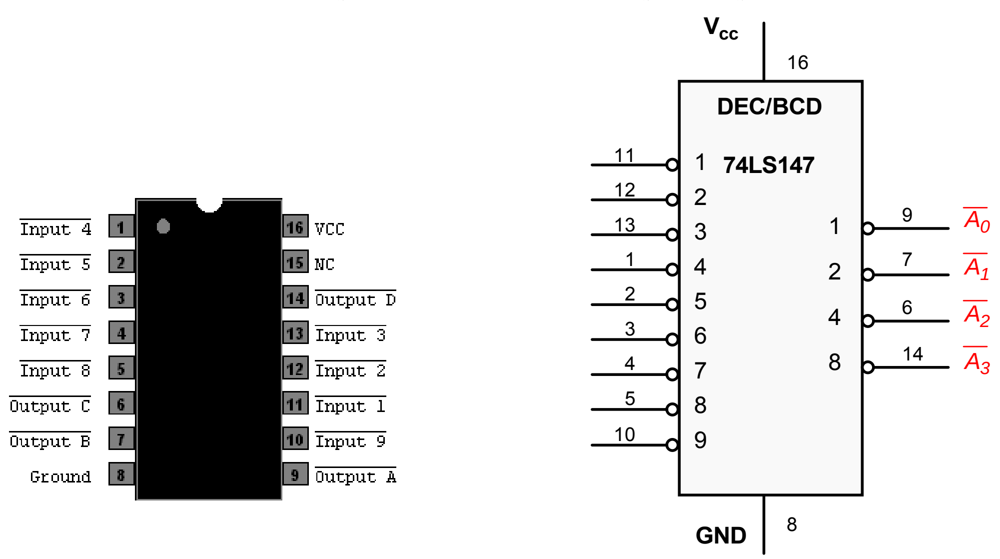
الشكل (٣٠ - ٣)

كما يوضح الشكل (٣١ -٣) الدائرة التي تؤدي هذه العملية بواسطة بوابات منطقية من نوع OR. نلاحظ من خلال الدائرة أنه إذا كان المدخل رقم ٦ High فإنه يحدث في الخرج $A_3A_2A_1A_0$= ٠١١٠ والذي يعادل عشرياً الرقم ٦.



الشكل (٣١ -٣)

يبين الشكل (٣٢ -٣) دائرة ٧٤HC147 مع مخطط توصيل الدائرة والرمز المنطقي للدائرة. تدل هذه الدائرة على مشفر من العشري إلى BCD مع التزام الأولوية العليا يعني هذا إذا كان عدد من المداخل نشطة فإنه يتم تشفير الدخل الذي يحتوي على أكبر عدد عشري.



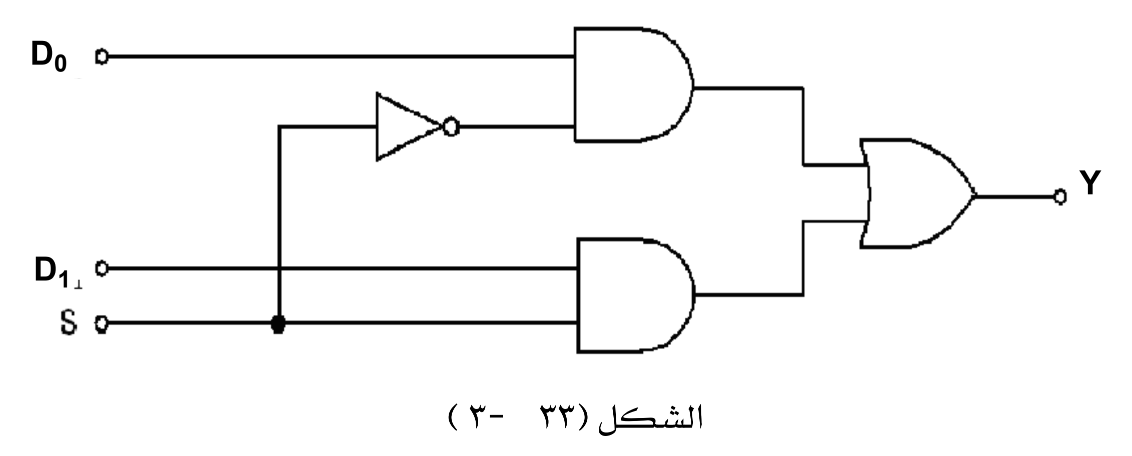
الشكل (٣٢ -٣)

منتقي البيانات Multiplexer

يحتوي منتقي البيانات Multiplexer على دائرة بإمكانها انتقاء أو اختيار خط من بين خطوط متعددة واردة من مصادر بيانات رقمية, وتوجيه ذلك الخط على مخرج منتقي البيانات وهذا لغرض إرساله.

في صيغته المبسطة - يتكون منتقي البيانات من عدد من المداخل للبيانات ومخرج واحد للبيانات التي تم اختيار خطها. تتم عملية الانتقاء بواسطة خطوط أو مداخل تحكم أو اختيار تحتوي هذه الدوائر على نوعين للمداخل, نوع للبيانات ونوع للتحكم.

يوضح الشكل (٣٣ - ٣) أبسط صيغة لهذا النوع من الدوائر. لاحظ أنه بإمكاننا اختيار إما البيانات المتواجدة على المدخل D_0 أو تلك المتواجدة على المدخل D_1 وهذا بواسطة خط التحكم S.



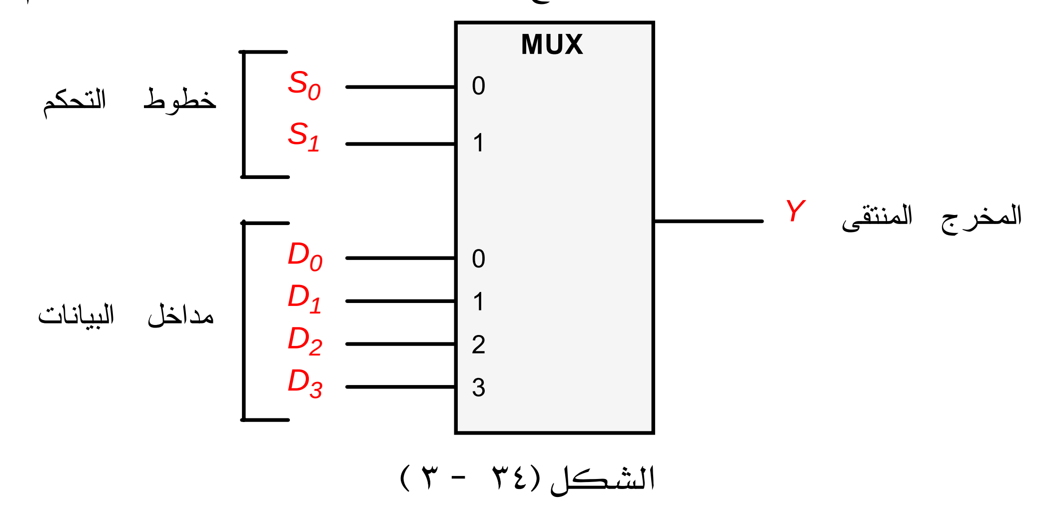
الشكل (٣٣ -٣)

إذا كان S=0 فإنه يتم انتقاء البيانات المتواجدة على المدخل D_0 أما في حالة S=1 فسوف تتواجد بيانات D_1 على المخرج Y.

يطلق على هذا النوع من منتقي البيانات ١) ×(٢ Multiplexer ٢ -to-1 لأنه يختار واحد من بين اثنين.

منتقي البيانات١) ×(٤ Multiplexer ٤: to-1-

يوضح الشكل (٣٤ - ٣) الرمز المنطقي لدائرة منتقي البيانات Multiplexer ٤-to-1 تحتوي هذه الدائرة على ٤ مداخل للبيانات ($D_0D_1D_2D_3$) ومخرج للبيانات Y ومدخلين لخطوط التحكم S_0 و S_1.



الشكل (٣٤ - ٣)

تتحكم الخطوط S_0 و S_1 في عملية الانتقاء.

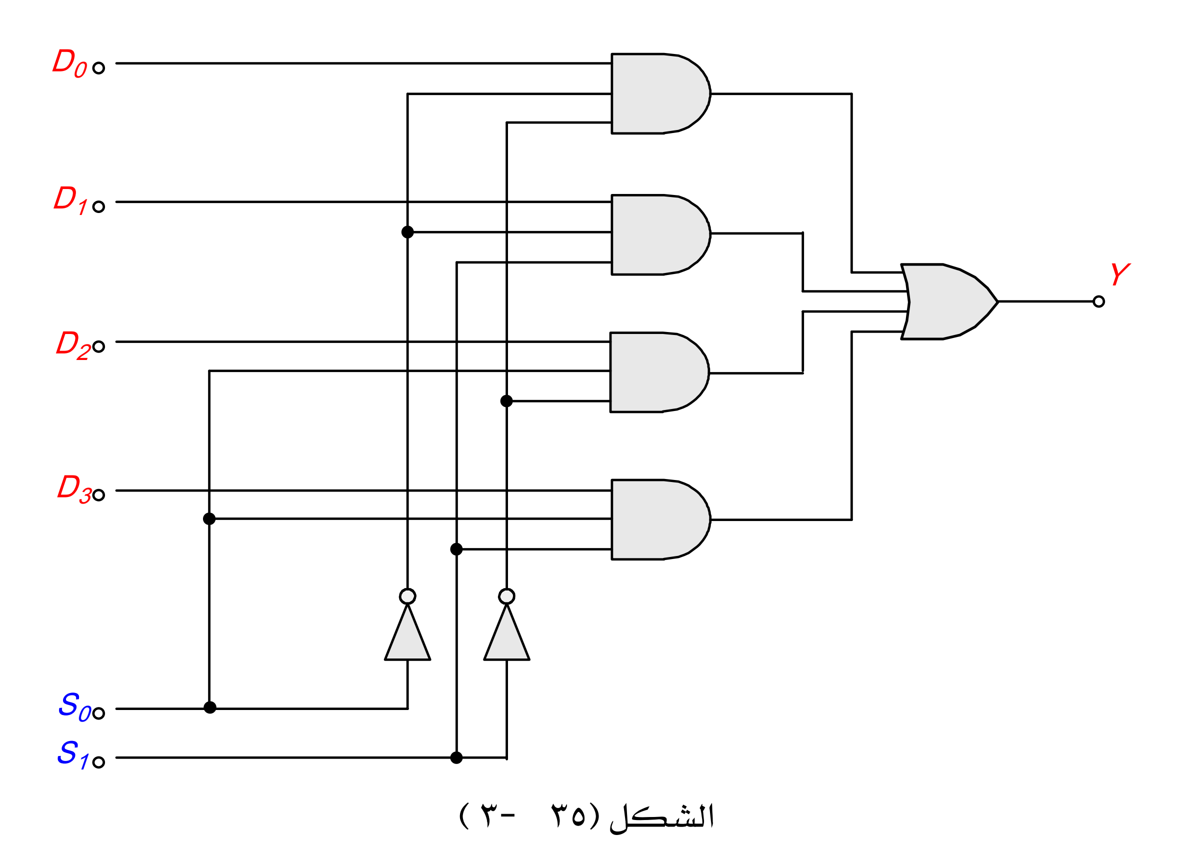
إذا كان S_0 = ٠ و S_1 = ٠ فإنه يتم انتقاء D_0 وتواجده على الخرج Y.

إذا كان S_0 = ١ و S_1 = ٠ فإنه يتم انتقاء D_1 وتواجده على الخرج Y.

إذا كان S_0 = ٠ و S_1 = ١ فإنه يتم انتقاء D_2 وتواجده على الخرج Y.

إذا كان S_0 = ١ و S_1 = ١ فإنه يتم انتقاء D_3 وتواجده على الخرج Y.

يوضح الشكل (٣٥ - ٣) المخطط المنطقي أو الدائرة المنطقية لمنتقي بيانات Mux(4 × ١) بواسطة بوابات منطقية أساسية.



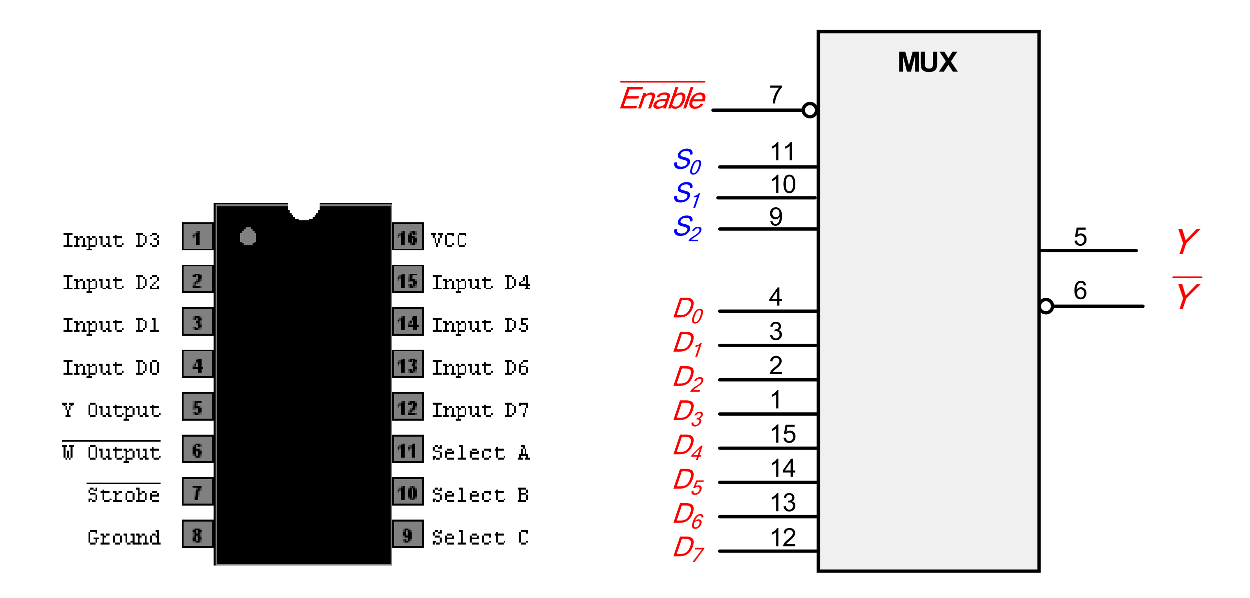
الشكل (٣٥ -٣)

منتقي البيانات١×٨) ٨: Multiplexer to-1-

يحتوي هذا النوع من منتقي البيانات على ٨ مداخل للبيانات) D_0 و D_1 و D_2 و D_3 و D_4 و D_5 و D_6 و D_7)
ومخرج للبيانات Y و٣ خطوط للتحكم S_0 و S_1 و S_2.

نلاحظ أنه بواسطة ٣ خطوط تحكم يمكننا الحصول على ٨ احتمالات أو تركيبات لـ S_2 S_0 S_1 وهذا ما يتأكد من ٢^٣=٨. ففي هذه المعادلة يدل ٨ على عدد المداخل ويدل ٣ على عدد خطوط التحكم.

يوضح الشكل (٣٦ - ٣) الرمز المنطقي و مخطط توصيل دائرة ٧٤HC151. يستلزم لتمكين الدائرة أن توصل الرجل رقم٧ Enable بمستوى منخفض Low



الشكل (٣٦ -٣)

إذا كان $S_0 = ٠$ و $S_1 = ٠$ و $S_2 = ٠$ فإنه يتم انتقاء D_0 وتواجده على الخرج Y.

إذا كان $S_0 = ١$ و $S_1 = ٠$ و $S_2 = ٠$ فإنه يتم انتقاء D_1 وتواجده على الخرج Y.

إذا كان $S_0 = ٠$ و $S_1 = ١$ و $S_2 = ٠$ فإنه يتم انتقاء D_2 وتواجده على الخرج Y.

إذا كان $S_0 = ١$ و $S_1 = ١$ و $S_2 = ٠$ فإنه يتم انتقاء D_3 وتواجده على الخرج Y.

إذا كان $S_0 = ٠$ و $S_1 = ٠$ و $S_2 = ١$ فإنه يتم انتقاء D_4 وتواجده على الخرج Y.

إذا كان $S_0 = ١$ و $S_1 = ٠$ و $S_2 = ١$ فإنه يتم انتقاء D_5 وتواجده على الخرج Y.

إذا كان $S_0 = ٠$ و $S_1 = ١$ و $S_2 = ١$ فإنه يتم انتقاء D_6 وتواجده على الخرج Y.

إذا كان $S_0 = ١$ و $S_1 = ١$ و $S_2 = ١$ فإنه يتم انتقاء D_7 وتواجده على الخرج Y.

كما نلاحظ أنه بإمكاننا الحصول على مكمل البيانات أو عكس بتات البيانات المنتقاة على المخرج $\overline{Y}$

موزع البيانات Demultiplexer

تقوم دائرة موزع البيانات Demultiplexer بعكس عملية منتقي البيانات .Multiplexer

يقوم موزع البيانات DEMUX بأخذ البيانات الموجودة على مدخله ثم توزيعها على أحد مخارجه. يحتوي هذا النوع من الدوائر على مدخل واحد وعدد من المخارج.

تتم عملية التوزيع بواسطة خطوط تحكم. إذا كان عدد المخارج M وعدد خطوط التحكم N فالعلاقة بينهم مثل ما كان الحال مع منتقي البيانات .$M=2^N$

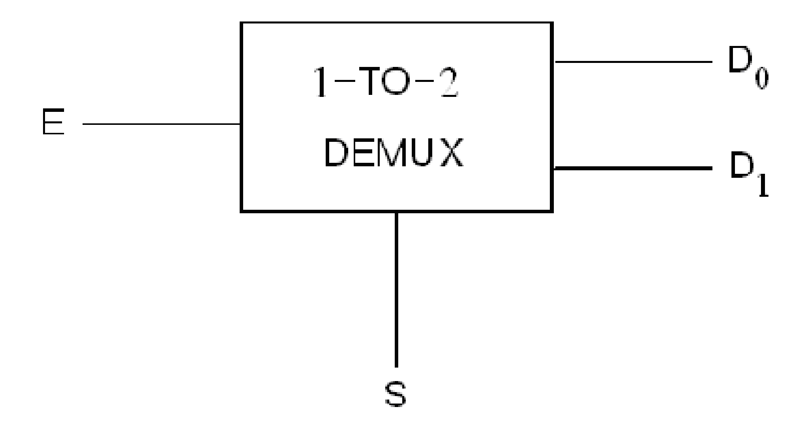
إذا كان N=1, (خط تحكم واحد) فإن M=2 ما يعني مخرجين.

إذا كان N=2, (خطين للتحكم) فإن $M=2^2=4$ ما يعني ٤ مخارج.

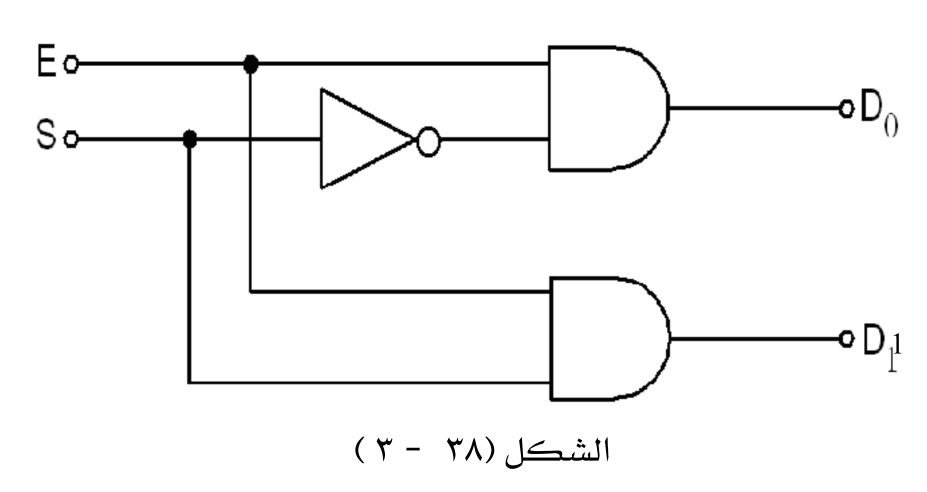
إذا كان N=3, (٣خطوط تحكم) فإن عدد المخارج الممكن التحكم فيها M=8.

إذا كان N=4, (٤خطوط تحكم) فإن عدد المخارج الممكن التحكم فيها M=16.

يوضح الشكل (٣٧ - ٣) الرمز المنطقي الشكل (٣٨ -٣) الدائرة المنطقية لموزع بيانات من ١ إلى٢



الشكل (٣٧ - ٣)



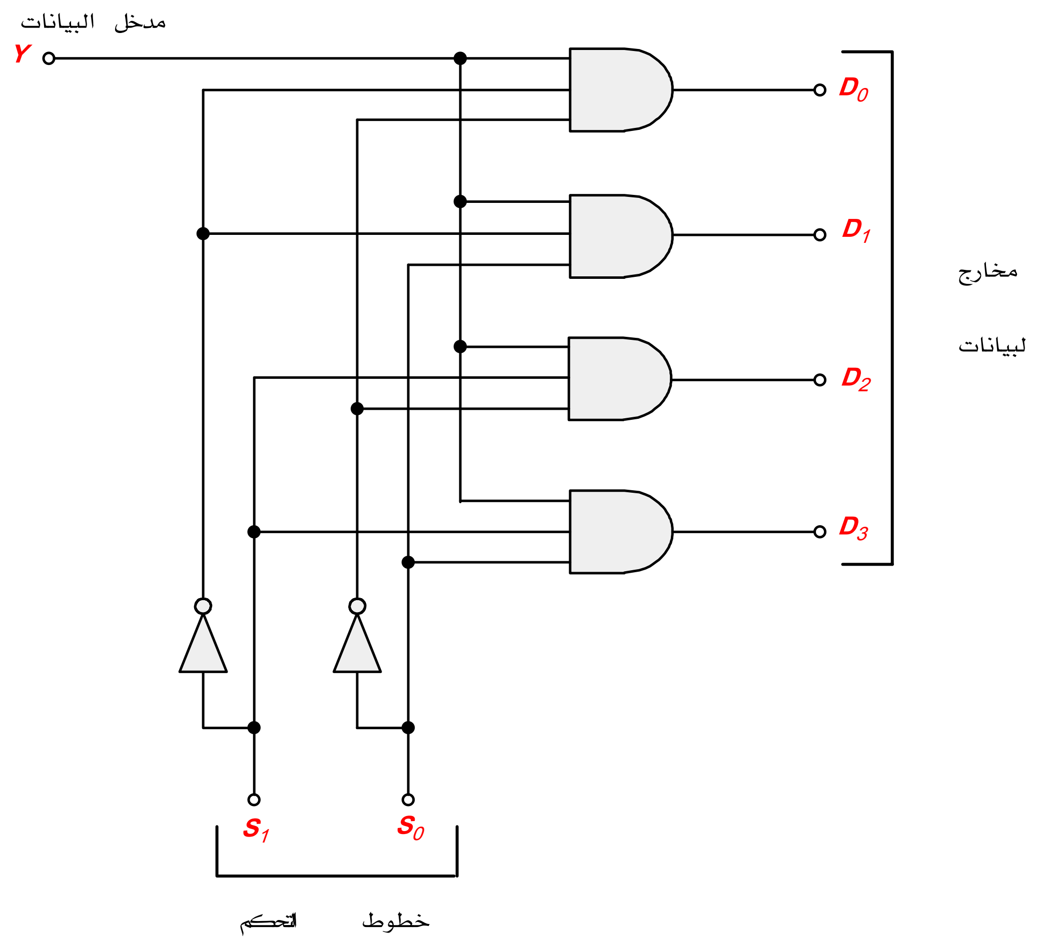
الشكل (٣٨ - ٣)

نلاحظ من الدائرة المنطقية أنه في حالة S=0 فإنه يتم توزيع البيانات المتواجدة على الدخل الوحيد Y إلى المخرج D_0 . وأما في حالة S=1 فسوف توزع بيانات الدخل Y إلى الخرج D_1.

موزع البيانات من ١ إلى ٤ (٤×1 DEMUX)

يوضح الشكل (٣٩ - ٣) الدائرة المنطقية لموزع بيانات (٤×1 DEMUX)

يحتوي هذا الموزع على خط لبيانات الدخل الواردة Y وأربعة خطوط للمخارج ($D_3D_2D_1D_0$) وخطين لمداخل التحكم S_0 وS_1.



الشكل (٣٩ -٣)

إذا كان S_0 = ٠ و S_1 =٠ فسوف توزع بيانات الدخل Y على الخرج D_0.

إذا كان S_0 = ١ و S_1 =٠ فسوف توزع بيانات الدخل Y على الخرج D_1.

إ إذا كان S_0 = ٠ و S_1 =١ فسوف توزع بيانات الدخل Y على الخرج D_2.

إذا كان S_0 = ١ و S_1 =١ فسوف توزع بيانات الدخل Y على الخرج D_3.

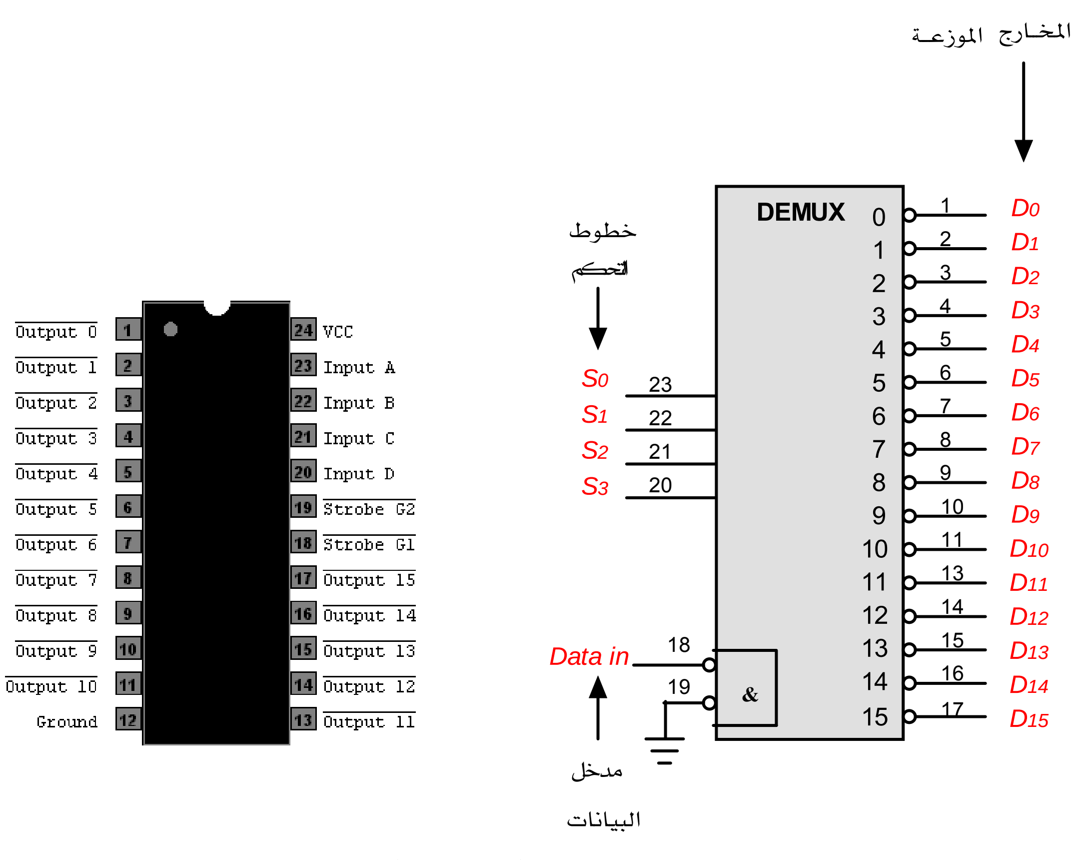
موزع البيانات من ١ إلى ١٦ (١٦×1 DEMUX)

يوضح الشكل (٤٠ -٣) الرمز المنطقي لدائرة HC154٧٤ عندما نستخدمها في حالة موزع البيانات DEMUX.

تحتوي هذه الدائرة على مدخل واحد للبيانات Data و ١٦ مخرج للبيانات (D_0 و D_1 و D_2 و D_3 و .... و D_{13} و D_{14} و D_{15}) ومخرج للبيانات Y و٤ خطوط للتحكم S_0 و S_1 و S_2 و S_3 .

الأرقام الموجودة بين قوسين تدل على رقم رجل في شريحة HC154٧٤.

نحتاج في هذه الحالة على ٤ خطوط نعم لأن ١٦=٢^٤.



الشكل (٤٠ - ٣)

يوضح الجدول التالي العلاقة بين قيمة تركيبة خطوط التحكم S_0 و S_1 و S_2 و S_3 والمخرج المحدد لاستقبال البيانات الواردة من الداخل.

المخرج المستقبل للبيانات	S_0	S_1	S_2	S_3
D_0	٠	٠	٠	٠
D_1	١	٠	٠	٠
D_2	٠	١	٠	٠
D_3	١	١	٠	٠
D_4	٠	٠	١	٠
D_5	١	٠	١	٠
D_6	٠	١	١	٠
D_7	١	١	١	٠
D_8	٠	٠	٠	١
D_9	١	٠	٠	١
D_{10}	٠	١	٠	١
D_{11}	١	١	٠	١
D_{12}	٠	٠	١	١
D_{13}	١	٠	١	١
D_{14}	٠	١	١	١
D_{15}	١	١	١	١

جدول (٧ - ٣)

اختبار ذاتي

١. ما هو عدد مداخل ومخارج الجامع النصفي Half adder ؟
٢. ما هو عدد مداخل ومخارج الجامع الكلي Full adder ؟
٣. ما هي قيم مخارج الجامع الكلي S و C_{out} عندما تكون المداخل : $C_{in}=0$ $B=1$, $A=1$
٤. ما هو خرج المقارن الذي يكون High في حالة: $A=1001$, $B=1000$
٥. ما هو خرج مفسر الشفرة Decoder الذي يكون فعال عند إدخال القيمة $A_3A_2A_1A_0=1110$ على مداخله A_3, A_2, A_1, A_0 ؟
٦. ما هي المخارج الفعالة أو الأجزاء المضيئة لشاشة عرض 7 Segments عندما تكون مداخل مفسر الشفرة من BCD إلى 7 Segments تساوي : 1001 ؟
٧. ما هو عدد مداخل ومخارج Multiplexer ؟
٨. ما هو عدد مداخل ومخارج Demultiplexer ؟
٩. ما هي مخارج الجامع الكلي عندما تكون المداخل : $C_{in}=1$, $B=1$, $A=1$
١٠. لدينا مفك شفرة من BCD إلى 7 Segments , ما هي الأرقام التي تظهر تعاقبياً على شاشة 7 Segments في حالة ما كانت المداخل كالتالي:

١٠١١١١٠١ = A_0

١٠١١٠١٠١ = A_1

$A_2 = 11110000$

$A_3 = 00110011$

١١. ما هي قيم خرج منتقي البيانات Multiplexer ذو أربعة مداخل للبيانات D_3, D_2, D_1, D_0 ومدخلين للتحكم S_0 و S_1 عندما تكون المداخل D_3=١، D_2=0، D_1 0 =1، D_0= وتكون $S_0=0$ و $S_1=1$ ؟

١٢. ما هو عدد خطوط تحكم منتقي البيانات Multiplexer عندما تكون عدد مداخل بياناته تساوي 64 ؟

١٣. ما هو المدخل الذي نلقاه في خرج Multiplexer يحتوي على 128 مدخل للبيانات عندما تكون قيمة خطوط التحكم: $S_6S_5S_4S_3S_2S_1S_0 = 1000111$ ؟

١٤. على أي مخرج نلقى دخل موزع البيانات يحتوي على 32 مخرج عندما تكون خطوط التحكم $S_4S_3S_2S_1S_0 = 01101$ ؟



المملكـة العربيــة السـعودية
المؤسسة العامة للتعليم الفني و التدريب المهني
الإدارة العامة لتصميم وتطوير المناهج

الدوائر الرقمية

دوائر القلابات

دوائر القلابات

٤

القلابات Flip-Flops

الجدارة:

التعرف على أنواع القلابات لغرض شرح وظيفة وتركيب جدول حقيقة كل واحد وإمكانية اختيار النوع الملائم لتصميم ما.

الأهداف:

أن يكون المتدرب بعد دراسة هذه الوحدة قادراً على:

١. شرح وظيفة القلاب T, JK, D,RS
٢. تركيب جداول الحقيقة هذه القلابات
٣. شرح المخططات الزمنية

مستوى الأداء:

أن يصل المتدرب إلى إتقان الجدارة بنسبة٨٥٪

الوقت المتوقع للتدريب:

ثمانية حصص

الوسائل المساعدة:

التدريبات العملية

متطلبات الوحدة:

اجتياز الوحدات السابقة

مقدمة :

رأينا في الوحدة الرابعة الدوائر التركيبية, والتي كان خرجها يعتمد على الدخل , ما يعني أنه إذا تغير الدخل تغير الخرج أيضاً. نحتاج في بعض الأحيان من الدوائر الرقمية أن يظل خرجها بدون تغيير حتى لو تغير الدخل وهذا لغرض التخزين مثلاً. تحتوي القلابات على هذا النوع من الدوائر الرقمية والتي يطلق عليها اسم الدوائر التعاقبية أو التتابعيةSequential Circuits . ففي هذا النوع من الدوائر يكون الخرج الحالي للدائرة معتمداً على الدخل الحالي وفي نفس الوقت على الخرج السابق للدائرة.

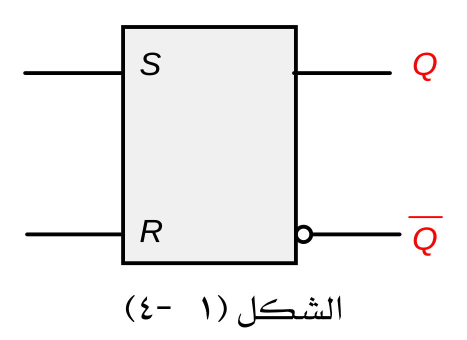
لذلك نلاحظ في الأشكال أو الدوائر المتعلقة بالقلابات توصيلات من الخرج راجعة أحد مداخل البوابات التي يتكون منها القلاب.

كما نلاحظ أيضاً هذا النوع من الدوائر يحتوي على حالتي استقرار, حالة الوضع أو المستوى النشط SET وحالة إعادة الوضع RESET. ويبقى القلاب في أيٍ من الحالتين حتى يتم تغييره.

القلابات (S-R)**الغير متزامنة** S-R Flip-Flops

يتكون القلاب S-R من دائرة ذات مدخلين ومخرجين. يوضح الشكل (١ -٤) الرمز المنطقي للقلاب S-R.

يقوم المدخل S بوضع القلاب في حالة ""١"" , ويقوم المدخل R بوضع القلاب في حالة ""٠"" .

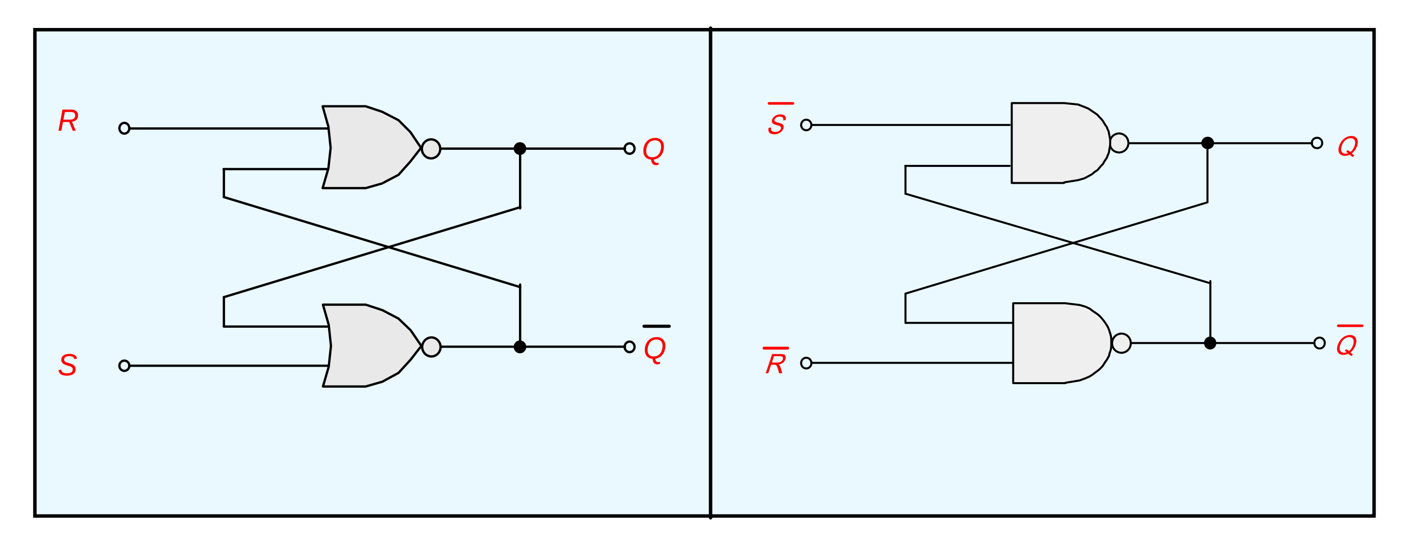


الشكل (١ -٤)

يكون المخرجين Q و $\overline{Q}$ عكس بعضهما, يعني أنه إذا كان $Q=0$ فإن $\overline{Q}=1$ وإذا كان $Q=1$ $\overline{Q}=0$, وهذا أمر مهم جداً من ناحية المنطق, لأنه غير منطقي أن تكون قيمة منطقية وعكسها متساويين.

يوضح الشكل (٢ -٤) دائرتين للقلاب S-R, الأولى بواسطة بوابات NOR والثانية بواسطة بوابات NAND.

لنحاول الآن أن نفهم كيف يشتغل القلاب S-R. كما ذكرت سابقاً فإن حالة الخرج الحالي تعتمد على الدخل الحالي والخرج السابق (ما كان مخزن في القلاب).



الشكل (٢ -٤)

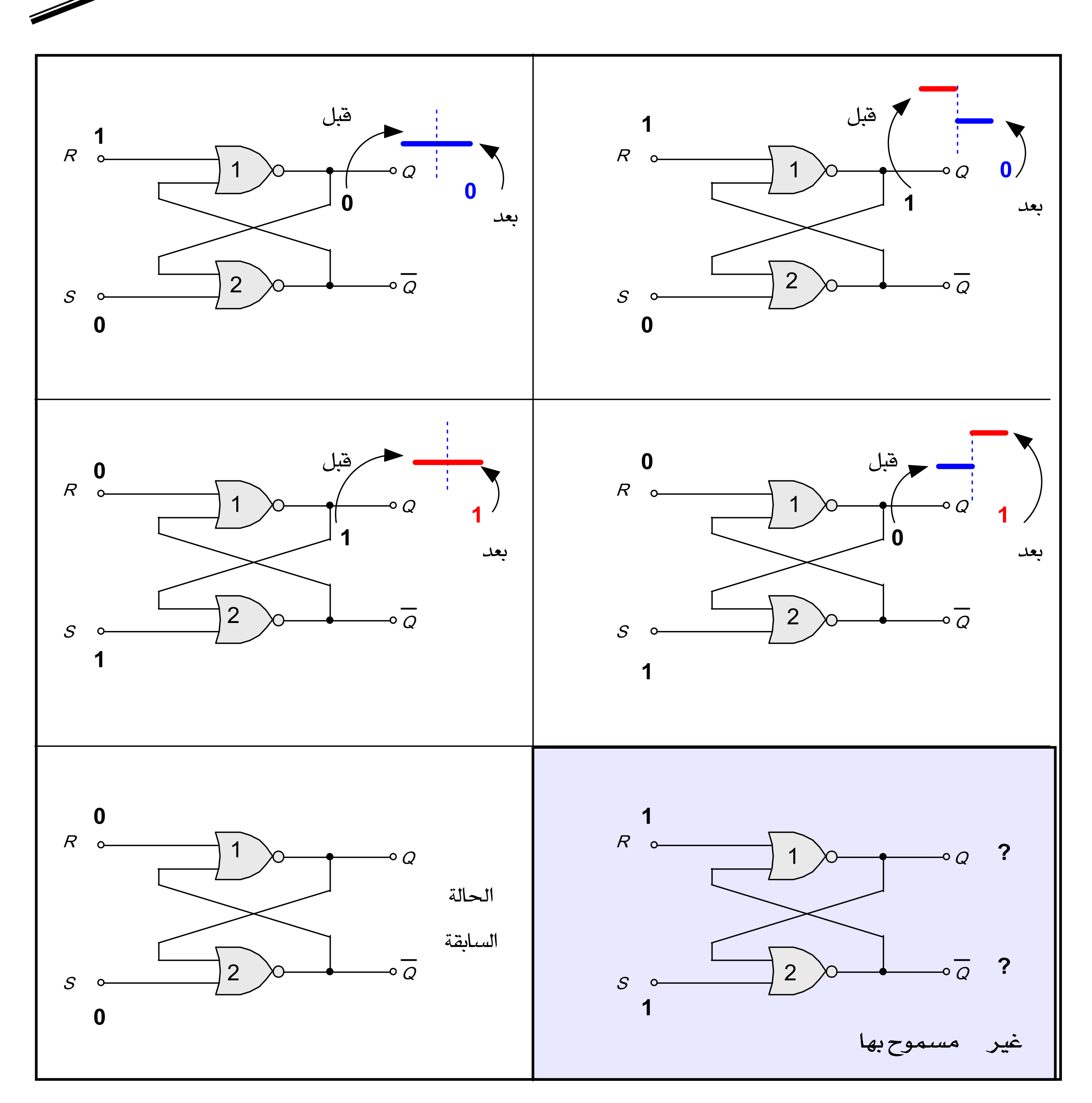
إذا كانت المداخل $S = 0$ و $R = 0$ وكان الخرج السابق $Q_{t-1} = 0$ بما أن مداخل البوابة ٢ $Q_{t-1} = 0$ و $S = 0$ ما يؤدي إلى $\overline{Q} = 1$.

و $\overline{Q} = 1$ و $R = 0$ يُصبحان مدخلان للبوابة رقم ١ التي يكون خرجها في النهاية وبعد استقرار الدائرة $Q = 0$.

إذا كانت عند $S = 0$ و $R = 0$ و $Q_{t-1} = 0$، يكون في هذه الحالة $\overline{Q} = 0$. يصبح الآن $\overline{Q} = 0$ و $R = 0$ مدخلان للبوابة رقم ١ التي يكون خرجها بعد الاستقرار: $Q = 1$.

أما بالنسبة للحالة $S = 1$ و $R = 1$ و $Q_{t-1} = 0$، فإن خرج البوابة رقم ٢ يكون $\overline{Q} = 0$ والذي يصبح في نفس الوقت دخل للبوابة رقم ١ $Q = 0$ وهذا ما يتنافى مع مبدأ المنطق لأنه غير ممكن أن يكون الخرج Q و عكسه $\overline{Q}$ متساويان. لذلك تكون حالة المداخل $S = 1$ و $R = 1$ غير مسموح بها للقلاب S-R.

ونواصل في تحليل الدائرة لكل حالات المداخل الأخرى بنفس الطريقة. يوضح الشكل (٣ -٤) كل هذه الحالات.



الشكل (٣ -٤)

بإمكاننا تلخيص كل الحالات المتعلقة بالقلاب S-R المكون بواسطة بوابات NOR كالآتي:

- عندما يكون $R = 0$ و $S = 0$ سيبقى القلاب في حالته السابقة بدون تغيير.
- عندما يكون $R = 0$ و $S = 1$ يكون خرج القلاب في حالة ""١"".
- عندما يكون $R = 1$ و $S = 0$ يكون خرج القلاب في حالة ""٠"".
- لا يمكننا استخدام الحالة $R = 1$ و $S = 1$.

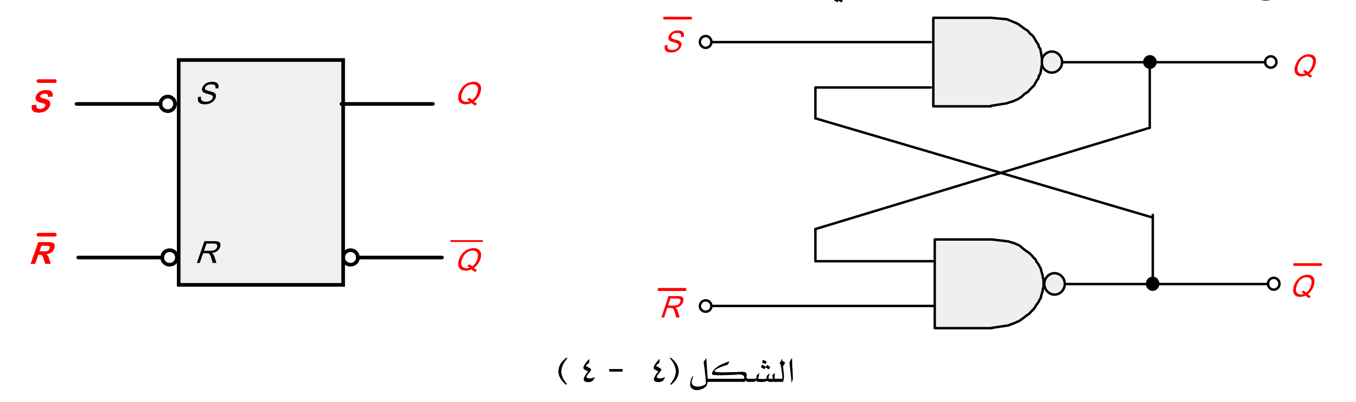
و هذا ما يتضح في الجدول (١ - ٤)

S	R	Q_{t-1}	Q	ملاحظات
٠ 0	٠ 0	١	١	الحالة السابقة للمخارج. دون تغيير
٠ 0	١ 1	١	٠ **0**	حالة إعادة الوضع RESET
١ 1	٠ 0	١	١ **1**	حالة الوضع SET
١ 1	١ 1	١	?	حالة غير مسموح بها

جدول (١ -٤)

يمكننا أيضاً استخدام القلاب S-R بواسطة البوابات NAND .

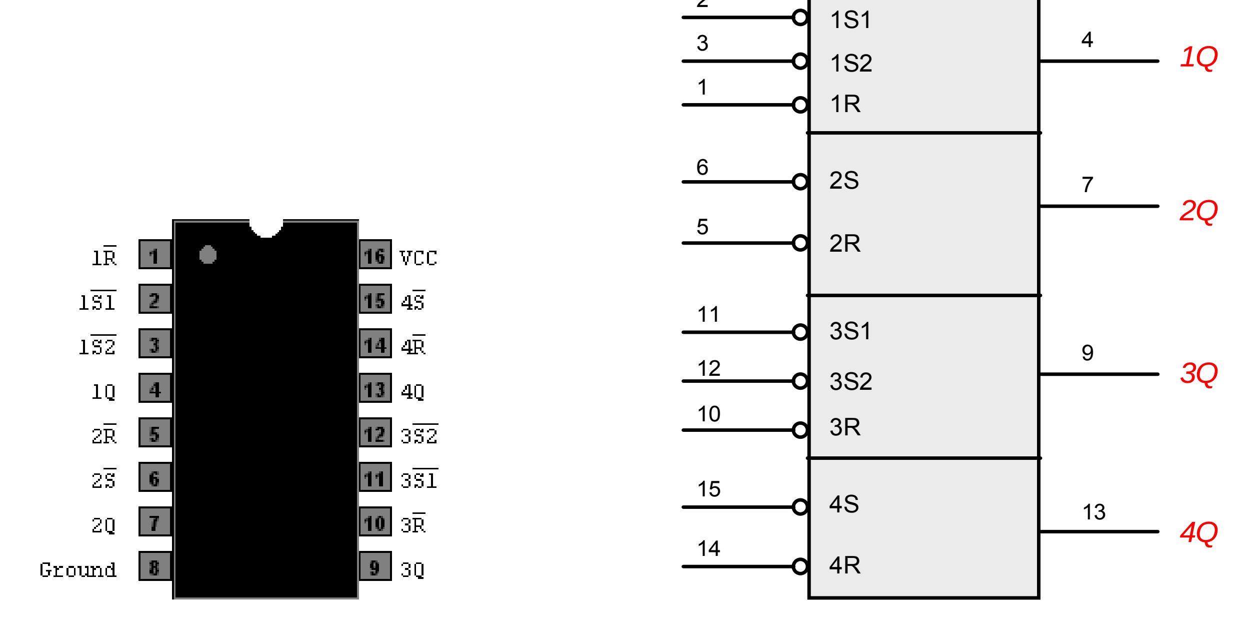
يوضح الشكل (٤ - ٤) الرمز المنطقي والدائرة المنطقية للقلاب S-R بواسطة البوابات NAND .



الشكل (٤ - ٤)

يوضح الشكل (٥ -٤) الرمز المنطقي ومخطط توصيل الدائرة المتكاملة LS279٧٤ التي تحتوي على ٤ قلابات من نوع $\overline{R}$ - $\overline{S}$ بواسطة البوابات NAND .

توصل الأرجل رقم ٨ بالأرضي ورقم ١٦ بجهد التغذية V_{CC} وتكون باقي الأرجل كمداخل ومخارج للقلابات الأربعة.

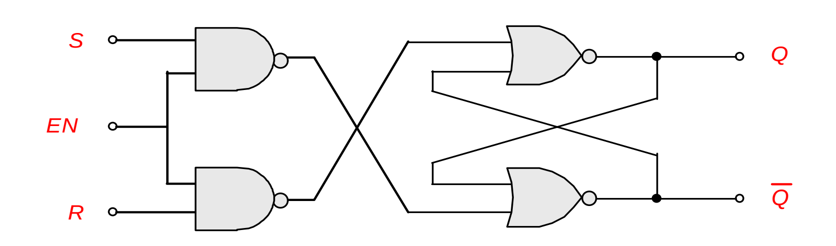


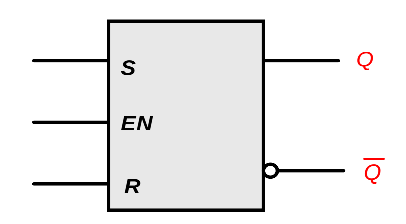
الشكل (٥ -٤)

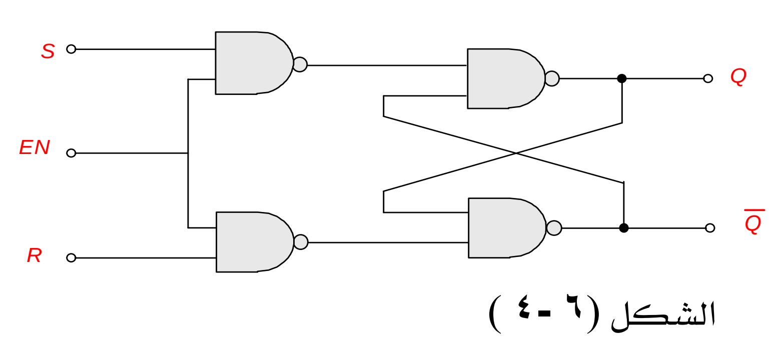
القلابات (S-R) **المتزامنة** Clocked S-R Flip-Flops

في أغلب الأحيان تكون الدوائر الرقمية التي تكون نظاماً رقمياً ما كالكمبيوتر مثلاً متزامنة مع بعضها.

تتحقق عملية التزامن باستخدام ذبذبات بتردد معين غالباً ما نطلق عليها اسم نبضات الساعة .Clock لجعل القلاب S-R متزامن نقوم بتعديله وهذا بإضافة بوابتين AND للمدخلين S و Rكما هو موضح في الشكل (٦ -٤).







الشكل (٦ - ٤)

بإمكاننا جعل القلاب في حالة تمكين ENABLE وذلك بتحديد الطرف EN=1 كما يمكننا تعطيله DISABLE وذلك بتحديد الطرف EN=0.

عند EN=1 يكون القلاب في حالة استجابة ما يعني أنه يستجيب للمداخل S و R وعند EN=0 يكون القلاب في حالة عدم استجابة لأي تغيرات للمداخل S و R ويبقى في حالته السابقة.

يوضح الجدول (٢ -٤) جدول حقيقة القلاب S-R المتزامن.

$EN = CLK$	S	R	Q	$\overline{Q}$
١	٠	٠	الحالة السابقة Q_{t-1}	$\overline{Q}_{t-1}$
١	٠	١	٠	١
١	١	٠	١	٠
١	١	١		
٠	×	×	Q_{t-1}	$\overline{Q}_{t-1}$

جدول (٢ -٤)

قدح القلابات Flip- Flops Triggering

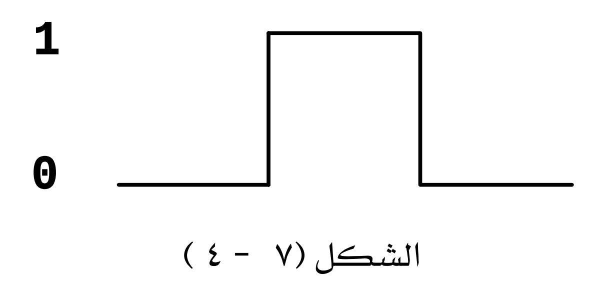
في القلابات غير المتزامنة تغير إشارات الدخل فيها يؤدي إلى تغيير حالة الخرج أما القلابات المتزامنة فإنها تحتاج إلى مدخل قدح(مدخل تزامن Clock) إضافي والذي بدونه لن تعمل هذه القلابات المتزامنة. لذلك يجب عند تشغيل القلابات المتزامنة إعطاء إشارات الدخل أولاً ثم إعطاء نبضة قدح (تزامن) على مدخل القدح عند هذه الحالة يتغير الخرج.

أنواع نبضات القدح

هناك نوعان من النبضات التي تستخدم لقدح القلابات وهي:

١. نبضة موجبة :

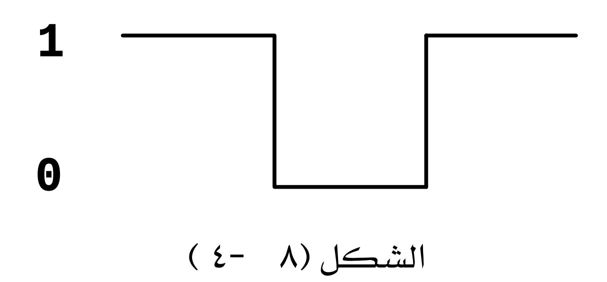
هذه النبضة تكون بدايتها (٠) وعند القدح تصعد إلى (١) لفترة معينة ثم تعود مرة أخرى من (١) إلى (٠) كما بالشكل (٧ - ٤):



الشكل (٧ - ٤)

٢. نبضة سالبة :

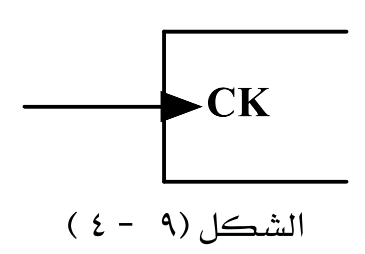
هذه النبضة تكون بدايتها (١) وعند القدح تهبط إلى (٠) لفترة معينة ثم تعود مرة أخرى من (٠) إلى (١) كما بالشكل (٨ -٤):



الشكل (٨ -٤)

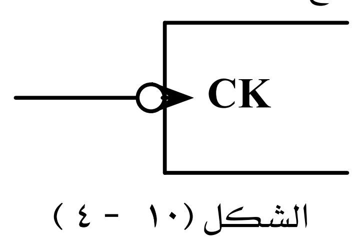
طرق قدح القلابات المتزامنة

١. نبضة قدح بحافة موجبة كما يتضح بالشكل (٩ - ٤):



الشكل (٩ - ٤)

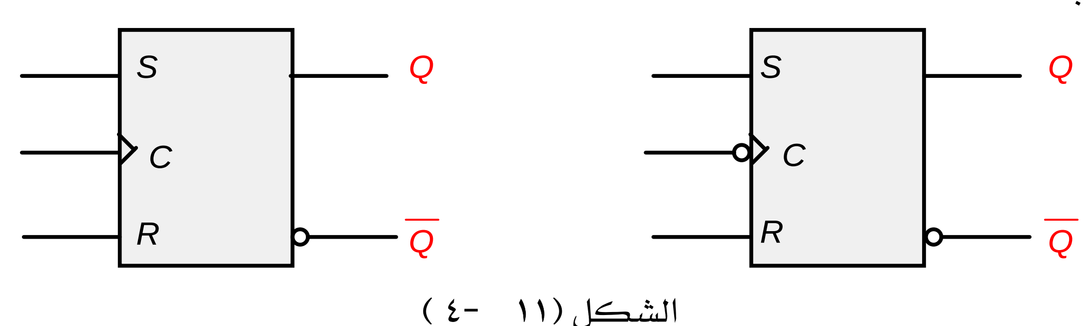
٠٢ نبضة قدح بحافة سالبة كما يتضح بالشكل (١٠ - ٤):



الشكل (١٠ - ٤)

يستطيع القلاب S-R المتزامن أن يستجيب لنبضة قدح موجبة كما يستطيع أن يستجيب لنبضة قدح سالبة.

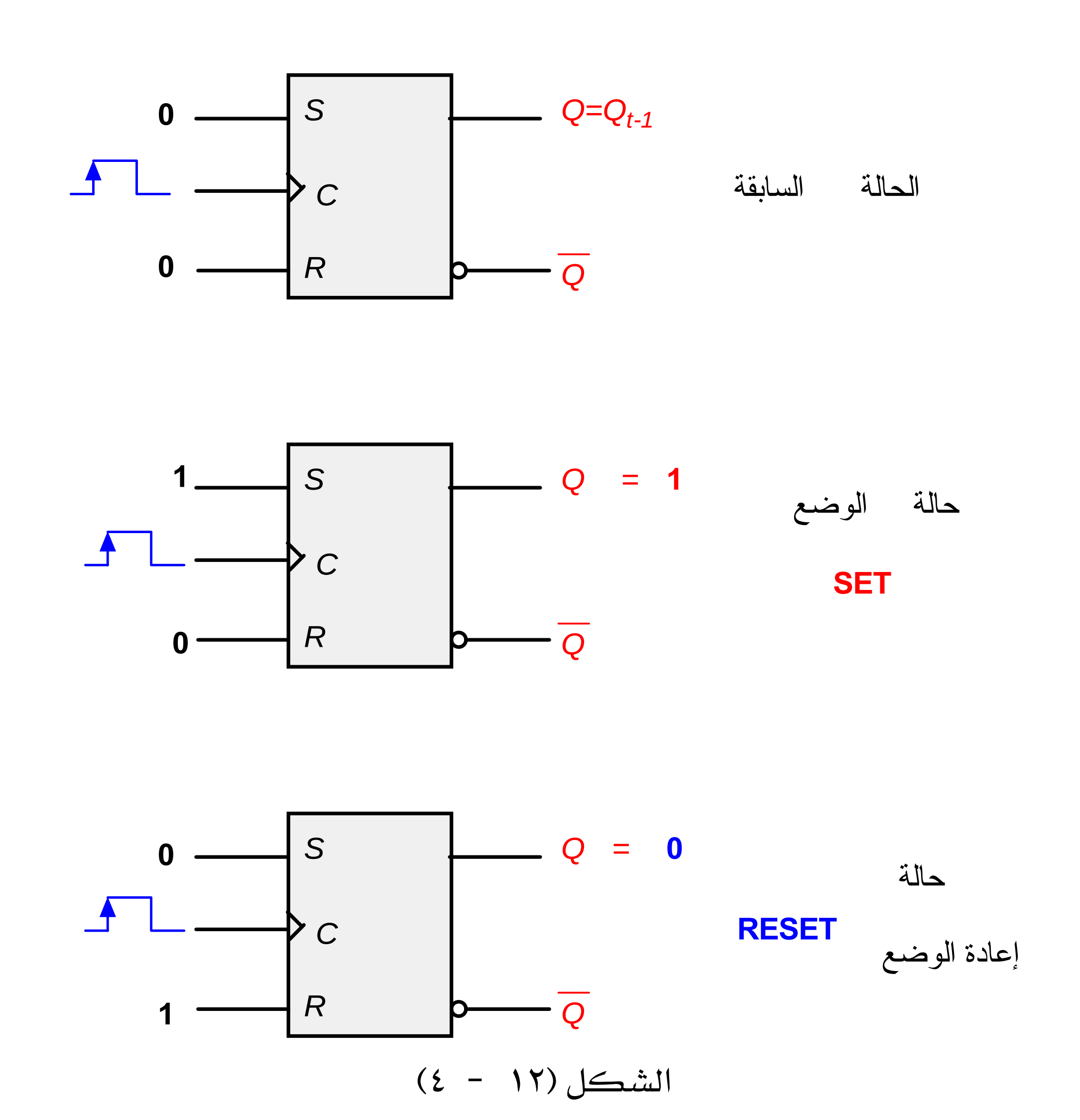
يوضح الشكل (١١ -٤) الرموز المنطقية لقلابين S-R متزامنين , الأول لنبضة موجبة والثاني لنبضة سالبة. تدل الدائرة الصغيرة على مدخل الساعة Cعلى أن القلاب يستجيب للنبضة السالبة أو الحافة السالبة لنبضة الساعة.



الشكل (١١ -٤)

أما المدخل العادي لـ C فإنه يدل على أن القلاب يستجيب للحافة الموجبة لإشارة الساعة .CLK فإنه تم تحديد المداخل S وR أولاً ثم تحدث عملية القدح بواسطة CLK لإعطاء الخرج المناسب على Q.

يوضح الشكل (١٢ - ٤) كيف تتم عملية القدح بنبضة موجبة لقلاب S-R متزامن في كل حالات مداخله S وR الممكنة منطقياً.

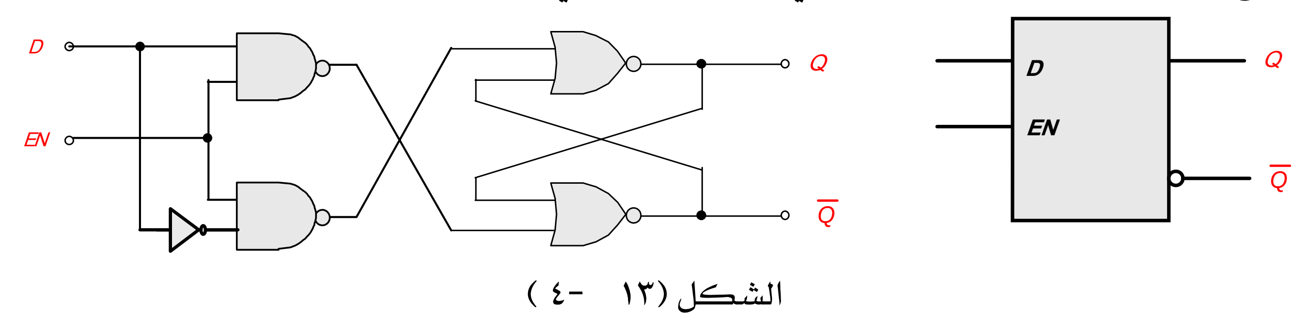


الشكل (١٢ - ٤)

القلاب D المتزامن Flip-Flop D Synchronous

يحتوي القلاب Dالمتزامن على مدخل واحد للبيانات D و مدخل لإشارة القدح أو الساعة CLK. التسمية D هي اختصار لكلمة Data والتي تعني بيانات.

يوضح الشكل (١٣ -٤) الرمز المنطقي والمخطط المنطقي لقلاب D متزامن.



الشكل (١٣ -٤)

نلاحظ أن القلاب D هو نوع من القلاب S-R والذي قد تم فيه إلغاء الحالة غير المسموح بها والتي تتمثل في S=١ و R=١. لقد ألغيت هذه الحالة بسبب وجود بوابة NOT على مدخل بوابة NAND الثانية.

في حالة EN=CLK=0 فإن القلاب يحتفظ بالقيمة السابقة المخزنة فيه. ويحتفظ بهذه القيمة حتى لو حدث تغير في الدخل D.

في حالة EN=CLK=1 فإن تغير في الدخل Dسيظهر في الخرج Q وهذا ما يتضح من خلال جدول الحقيقة لقلاب D التالي:

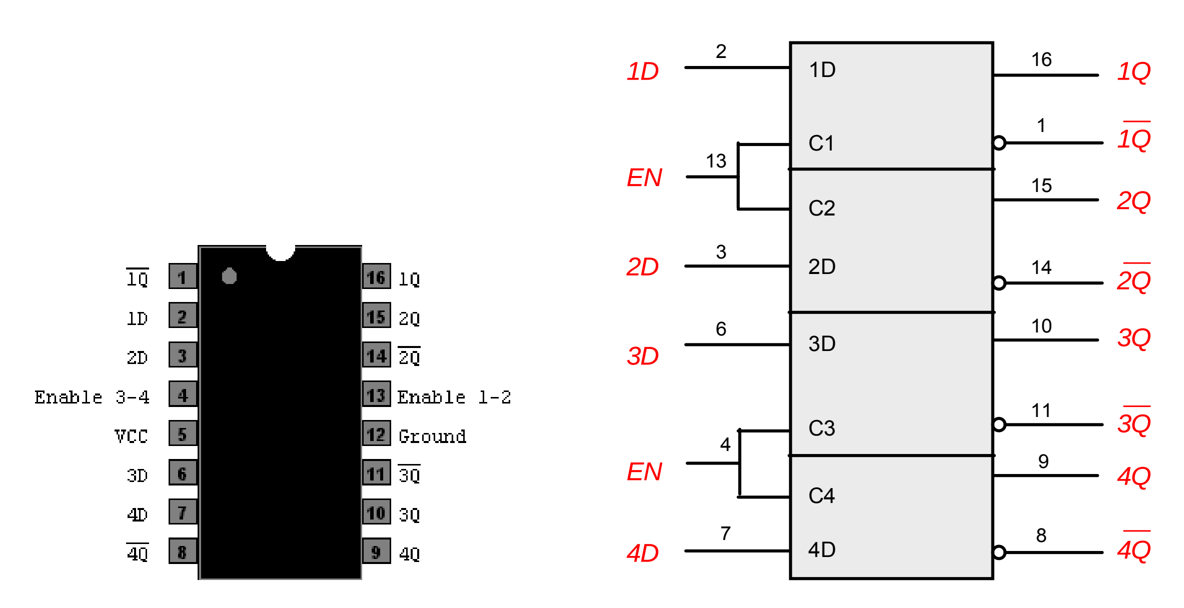
$EN = CLK$	D	Q	$\overline{Q}$
٠	×	الحالة السابقة Q_{t-1}	$\overline{Q}_{t-1}$
١	٠	٠	١
١	١	١	٠

جدول (٣ - ٤)

يعني × أي قيمة دخل لا تؤثر على الخرج.

يوضح الشكل (١٤ - ٤) الرمز المنطقي للدائرة المتكاملة LS75٧٤. تحتوي هذه الدائرة على ٤ قلابات من نوع D متزامنة. مدخل القلاب الأول هو D١ ومخارجه Q١ و $\overline{Q}$١ ، مدخل القلاب الثاني D٢ ومخارجه Q٢ و $\overline{Q}$٢ ، مدخل القلاب الثالث D٣ ومخارجه Q٣ و $\overline{Q}$٣ ، أما القلاب الرابع فمدخله D٤ ومخارجه Q٤ و $\overline{Q}$٤.

نلاحظ أيضاً أن مدخل التزامن EN على الرجل ١٣ مشترك للقلاب الأول والثاني و مدخل التزامن الثاني EN على الرجل ٤ مشترك للقلاب الثالث والرابع.



الشكل (١٤ -٤)

تتلخص وظيفة القلاب D المتزامن في أن حالة الوضع SET تمكنه من تخزين البت ""١"" وحالة إعادة الوضع RESET تمكنه من تخزين البت ""٠"". لذلك تمكننا دائرة LS75٧٤ من تخزين بيانات تتكون من أربعة بتات وهذا بصفة مؤقتة.

قلاب (J-K) المتزامن J-K Flip-Flop

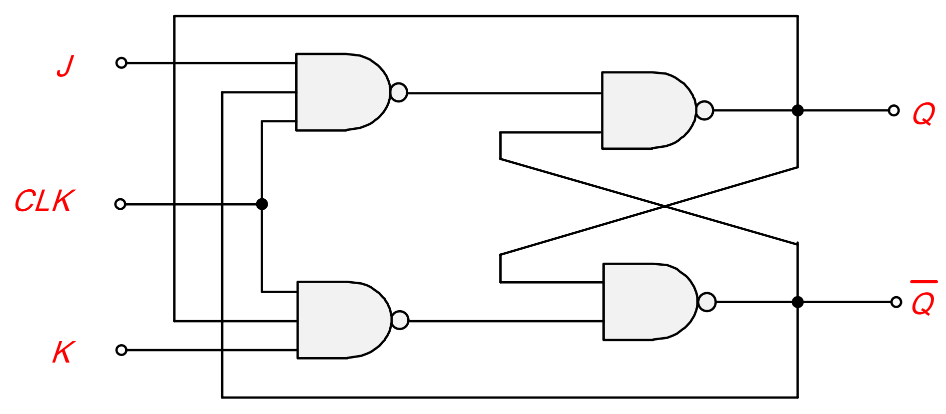
يعتبر القلاب J-K من القلابات المستخدمة بكثرة.

يتميز القلاب J-Kعن نظيره S-R بكونه لا يحتوي على حالة غير مسموح بها كما هو الحال بالنسبة لـ S=1 و R=1 للقلاب S-R.

في حالة الوضع SET يعادل المدخل J في J-K المدخل S في S-R.

و في حالة الوضع RESET يعادل المدخل K في J-K المدخل R في S-R.

يوضح الشكل (١٥ -٤)دائرة القلاب J-K المتزامن.



الشكل (١٥ - ٤)

نلاحظ من الشكل انه في حالة CLK=0 فسيبقى القلاب J-K في حالته السابقة Q_{t-1}.

في حالة CLK=1 و J =٠ و K =٠ فسيكون الخرج Q يساوي الحالة السابقة Q_{t-1}.

في حالة CLK=1 و J =٠ و K =١ يكون الخرج Q في حالة إعادة الوضع أو ""٠"".

في حالة CLK=1 و J =١ و K =٠ يكون الخرج Q في حالة الوضع أو ""١"".

في حالة CLK=1 و J =١ و K =١ , إذا كان $Q_{t-1} = 0$ يكون الخرج $Q = 1$ وإذا كان $Q_{t-1} = 1$ فيكون الخرج $Q = 0$, وهذا ما يتلخص في $Q = \overline{Q}_{t-1}$, ما يعني أننا نحصل في الخرج Q عكس ما كان موجود في الحالة السابقة.

يتلخص تشغيل القلاب J-K المتزامن في الجدول التالي:

CLK	J	K	Q	$\overline{Q}$
٠	×	×	Q_{t-1}	$\overline{Q}_{t-1}$
١	٠	٠	Q_{t-1}	$\overline{Q}_{t-1}$
١	٠	١	٠	١
١	١	٠	١	٠
١	١	١	$\overline{Q}_{t-1}$	Q_{t-1}

جدول (٤ -٤)

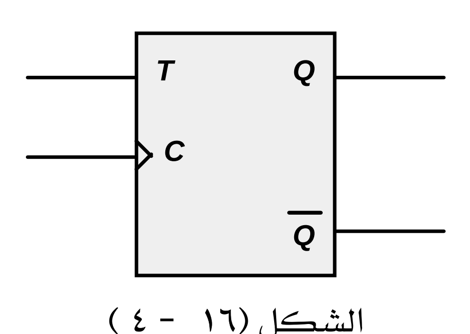
يدل $Q = \overline{Q}_{t-1}$ على أن الخرج الحالي للقلاب يساوي عكس الحالة السابق. مما يعني أنه إذا كان $Q_{t-1} = 0$ يكون $Q = 1$. وإذا كان $Q_{t-1} = 1$ يكون $Q = 0$.

قلاب T Flip-Flop T

القلاب T , هو نسخة معدلة من القلاب J-K.

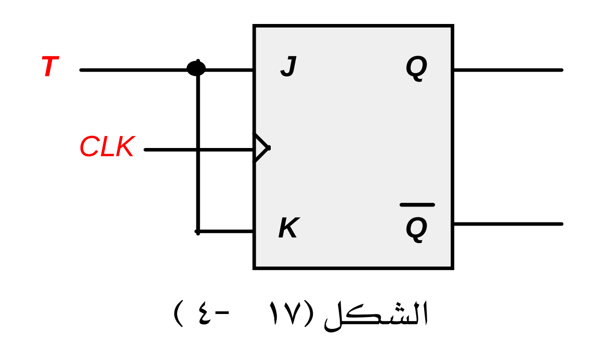
تتم عملية التعديل بتوصيل المداخل J و K للقلاب J-K مع بعضهما حينئذ يصبح لدينا مدخل واحد والذي هو المدخل T (J مع K موصلين).

يوضح الشكل (١٦ - ٤)الرمز المنطقي للقلاب T المتزامن .



الشكل (١٦ - ٤)

و يوضح الشكل (١٧ -٤) كيف يتم توصيل المداخل J و K في قلاب من نوع J-K للحصول على قلاب من نوع T.



الشكل (١٧ -٤)

- يدل توصيل المداخل J و K في القلاب من نوع J-K مع بعضهما أن القلاب T يشتغل مثل القلاب J-K في حالتي (J =٠ و K =٠) و (J =١ و K =١) هذا ما يمكننا من الحصول على جدول حقيقة القلاب Tمباشرةً من جدول حقيقة القلاب J-K لحالتي (J =٠ و K =٠) و (J =١ و K =١).

يوضح الجدول التالي جدول حقيقة القلاب T المتزامن لنبضة الساعة CLK.

الساعة CLK	المدخلT	Q	$\overline{Q}$
٠	×	السابقة Q_{t-1}	$\overline{Q}_{t-1}$
١	٠	السابقة Q_{t-1}	$\overline{Q}_{t-1}$
١	١	$\overline{Q}_{t-1}$	Q_{t-1}

جدول (٥ -٤)

نلاحظ من الجدول أنه إذا كانت إشارة الساعة CLK تساوي الصفر فإن القلاب T يبقى في حالته السابقة دون أي تغيير.

إذا كانت الساعة CLK=1 وكان المدخل T =0 فإن القلاب T يبقى كذلك في حالته السابقة لأن هذه الحالة تعادل J =٠ و K =٠ للقلاب J-K.

إذا كانت الساعة CLK=1 وكان المدخل T =1 فإن خرج القلاب T يصبح عكس خرجه السابق, لأن هذه الحالة تعادل J =١ و K =١ للقلاب J-K.

المداخل الغير متزامنة للقلابات

عند تشغيل الدوائر الرقمية وبمجرد توصيل الجهد الكهربائي فإن دوائر القلابات تقوم بتخزين البيانات بصفة عشوائية, مما يعني أن بعض القلابات تكون في حالة الوضع SET أو""١"" والبعض الآخر تكون في حالة إعادة الوضع RESET أو ""٠"" . فلذلك يستلزم الأمر تصغير بعض أو كل القلابات, وبعض الأحيان يتطلب النظام أن تكون بعض أو كل القلابات في حالة الوضع.

يطلق على عملية التصغير اسم Clear وعلى عملية الوضع.Preset

يوضح الشكل التالي قلاب من نوع D متزامن بإشارة الساعة CLK ويحتوي على مدخلين إضافيين Preset(PRE), و Clear (CLR).

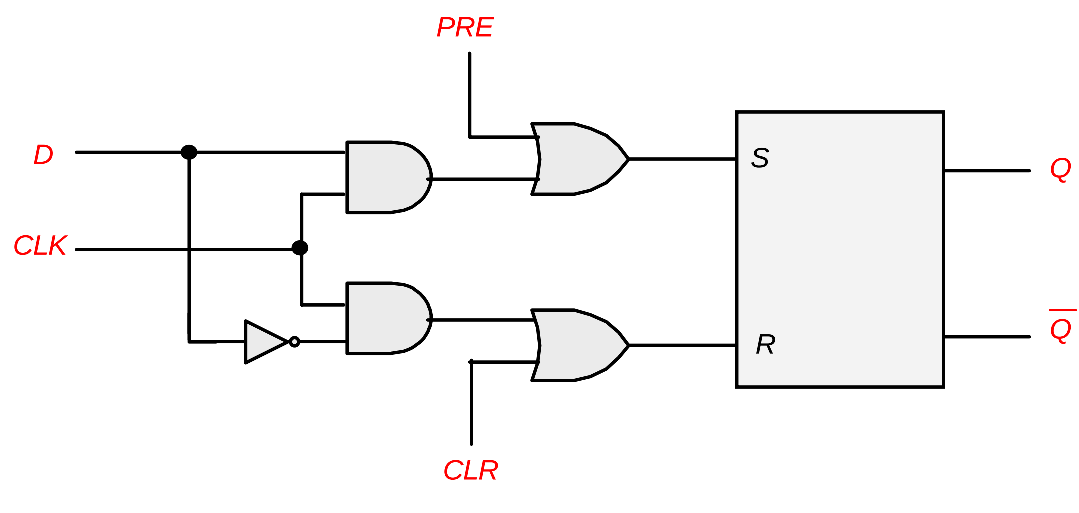
إذا كان Clear=1 فيكون خرج القلاب $Q = 0$.

إذا كان Preset=1 فيكون خرج القلاب $Q = 1$.

ويحث هذا بغض النظر عن إشارة التزامن CLK, لذلك نطلق على هذه المداخل اسم المداخل غير المتزامنة لأنها لا تعتمد على إشارة التزامن CLK, وإنها تشتغل أيضاً بدون تزامن مع الساعة CLK.

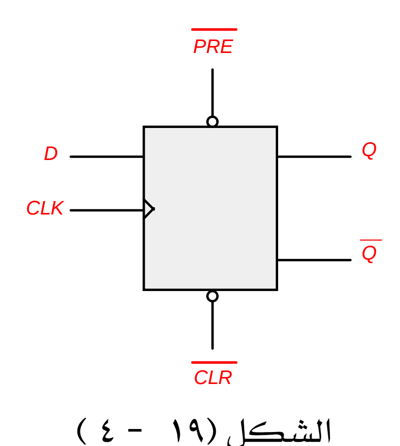
بينما الدخل D فإنه يعتبر كمدخل متزامن لأن تأثيره يظهر فقط عندما تكون نبضة الساعة نشطة.

يوضح الشكل (١٨ -٤) الرمز المنطقي لقلاب D يحتوي على مداخل غير متزامنة CLR و PRE.



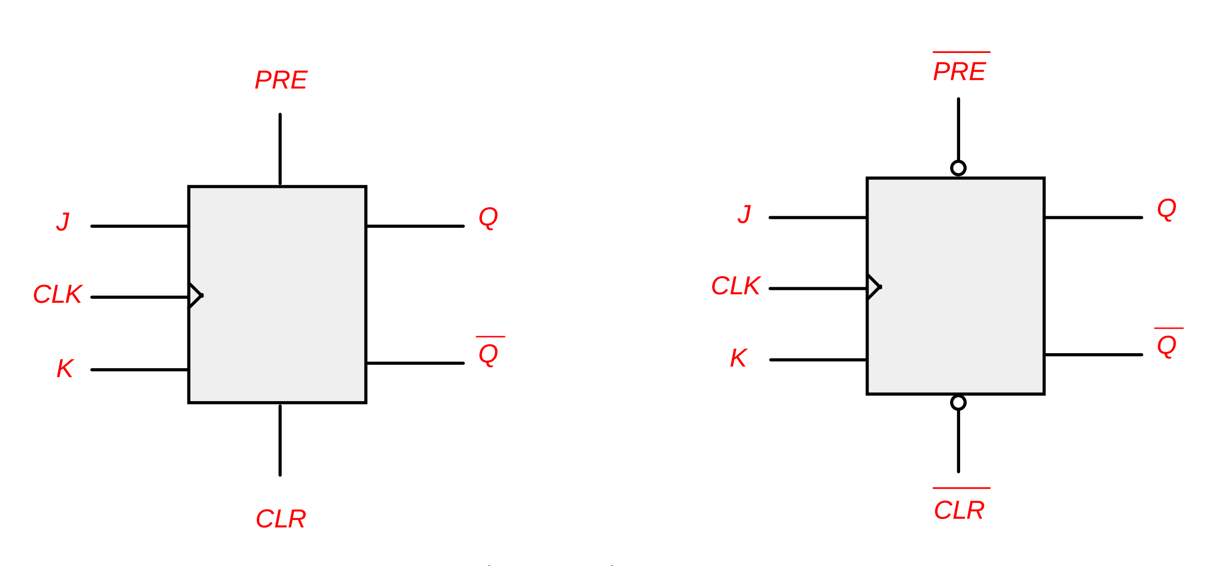
الشكل (١٨ -٤)

عندما تكون PRE=1 , يكون $Q=1$ و عندما يكون CLR=1 يكون $Q=0$.
يعني هذا أن المداخل غير المتزامنة تكون فعالة عندما تكون في المستوى HIGH أو تساوي ""١"" .
يوضح الشكل (١٩ - ٤) الرمز المنطقي لقلاب D يحتوي على مداخل غير متزامنة CLR و PRE فعالة عندما تكون في المستوى LOW أو""٠"" ما يعني هذا أن CLR=0 يؤدي إلى $Q=0$ و PRE=0 يؤدي إلى $Q=1$



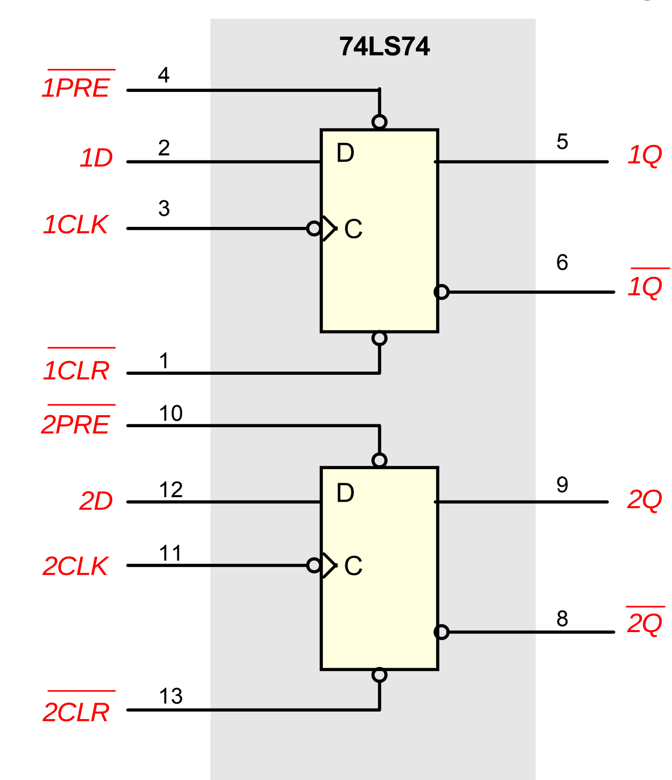
الشكل (١٩ - ٤)

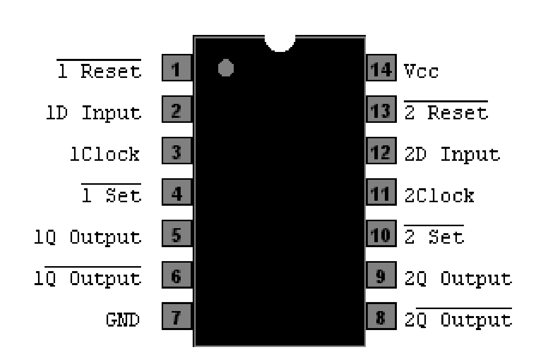
يوضح الشكل (٢٠ - ٤)الرموز المنطقية لقلابين من نوع J-K أولهما يحتوي على مداخل غير متزامنة فعالة ونشطة عند المستوى HIGH أو ""١"" والآخر يحتوي على مداخل غير متزامنة PRE و CLR فعالة على المستوى LOW أو""٠"" .



الشكل (٢٠ - ٤)

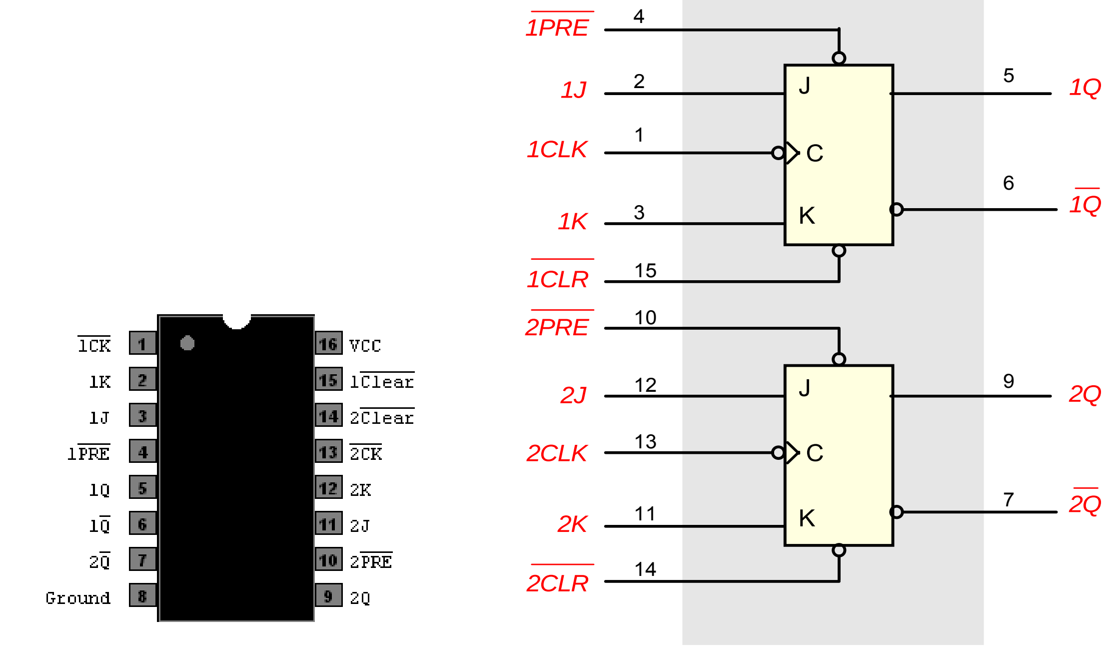
يوضح الشكل (٢١ -٤)الرمز المنطقي للدائرة المتكاملة AHC74٧٤ والتي تتكون من قلابين من نوع D يحتويان على مداخل غير متزامنة PRE و CLR فعالة ونشطة عند المستوى HIGH يعني ""١"" .





الشكل (٢١ -٤)

كما يبين الشكل (٢٢ -٤)الرمز المنطقي للدائرة المتكاملة HC112٧٤ والتي تتكون من قلابين من نوع J-K يحتوي كل واحد منهما على مدخلين غير متزامنين $\overline{PRE}$ و $\overline{CLR}$ فعالة على المستوى LOW أو""٠"" . كما نلاحظ أيضاً أن المداخل المتزامنة J و K تكون في حالة إستجابة عندما تكون نبضة الساعة CLK سالبة وهذا بسبب وجود الدائرة الصغيرة على مدخل الساعة C .



الشكل(٢١ -٤)

اختبار ذاتي

١. ما هي قيم المداخل التي تحتوي على الحالة غير المقبولة لقلاب من نوع SR ؟
٢. ما هو دور مدخل نبضات الساعة في القلابات؟
٣. ماذا يحدث عندما تكون مداخل القلاب J-K : J=1 , K=1 ؟
٤. ما هو نوع وتردد إشارة خرج القلاب J-K عندما تكون J=1 , K=1 ومدخل الساعة يعادل إشارة مربعة ذات تردد 100KHz؟
٥. ما هي سلسلة البتات التي نحصل عليها تعاقبياً في وضع الخرج Q لقلاب SR عندما تكون المداخل خلال الزمن كالآتي:

S=10010111010
R=01001000101

٦. ما هو نوع وتردد إشارة خرج القلاب J-K في حالة J=1 , K=0 ومدخل الساعة يعادل إشارة مربعة ذات تردد 10KHz؟
٧. ما هو نوع وتردد إشارة خرج القلاب T في حالة T=1 و إشارة الساعة مربعة ذات تردد 500KHz؟



المملكـة العربيـة السـعودية
المؤسسة العامة للتعليم الفني و التدريب المهني
الإدارة العامة لتصميم وتطوير المناهج

الدوائر الرقمية

دوائر العدادات والمسجلات والذاكرة

دوائر العدادات والمسجلات والذاكرة

٥

الجدارة:

التعرف على دوائر العدادات , المسجلات والذاكرة لغرض تصميم أي دائرة رقمية متعلقة بهذا النوع من الدوائر , مثل تحديد معامل العداد,اتجاه الإزاحة والقراءة أو الكتابة على الذاكرة.

الأهداف:

أن يكون المتدرب بعد دراسة هذه الوحدة قادراً على:

١. شرح وظيفة العدادات
٢. التعرف على أنواع العدادات
٣. شرح وظيفة المسجلات
٤. شرح وظيفة الذاكرة
٥. التعرف على أنواع الذاكرة
٦. التعرف على عملية الكتابة على الذاكرة والقراءة من الذاكرة

مستوى الأداء:

أن يصل المتدرب إلى إتقان الجدارة بنسبة٨٥٪

الوقت المتوقع للتدريب:

أثنتا عشرة حصة

الوسائل المساعدة:

التدريبات العملية

متطلبات الوحدة:

اجتياز الوحدات السابقة

أولا : العدادات Counters

مقدمة :

العداد Counter هو عبارة عن دائرة منطقية تعاقبية تعطي خرجاً له تسلسل منطقي معين , تتكون العدادات أساساً من مجموعة من القلابات J-K أو T .

يؤدي عدد القلابات المستخدمة وطريقة توصيلها مع بعضها إلى تحديد خصائص العداد والتي تتمثل في ما يلي:

- عدد حالات العداد أو ما يسمى بالمعامل Modulus.
- أقصى عدد يستطيع العداد إحصاؤه.
- طريقة العد, تصاعدية UP أو تنازلية DOWN.
- التشغيل بصفة متزامنة Synchronous أو غير متزامنة.Asynchronous

تنقسم العدادات إلى فئتين أساسيتين وهي العدادات المتزامنة والعدادات غير المتزامنة.

في العدادات غير المتزامنة يكون أول قلاب متزامن بنبضات الساعة CLK ويكون القلاب الثاني متزامن بمخرج القلاب الأول, والقلاب الثالث متزامن بمخرج القلاب الثاني وهكذا.......... إلى أن نصل إلى آخر قلاب والذي يكون متزامن بمخرج القلاب الذي يسبقه.

أما في العدادات المتزامنة فتكون مداخل الساعة CLK كل العدادات موصلة مع بعضها لكي تكون كل القلابات نشطة في نفس الوقت أو تكون في تزامن.

في كلٍ من الفئتين تستطيع أن تعد هذه الدوائر بصفة تصاعدية أو تنازلية.

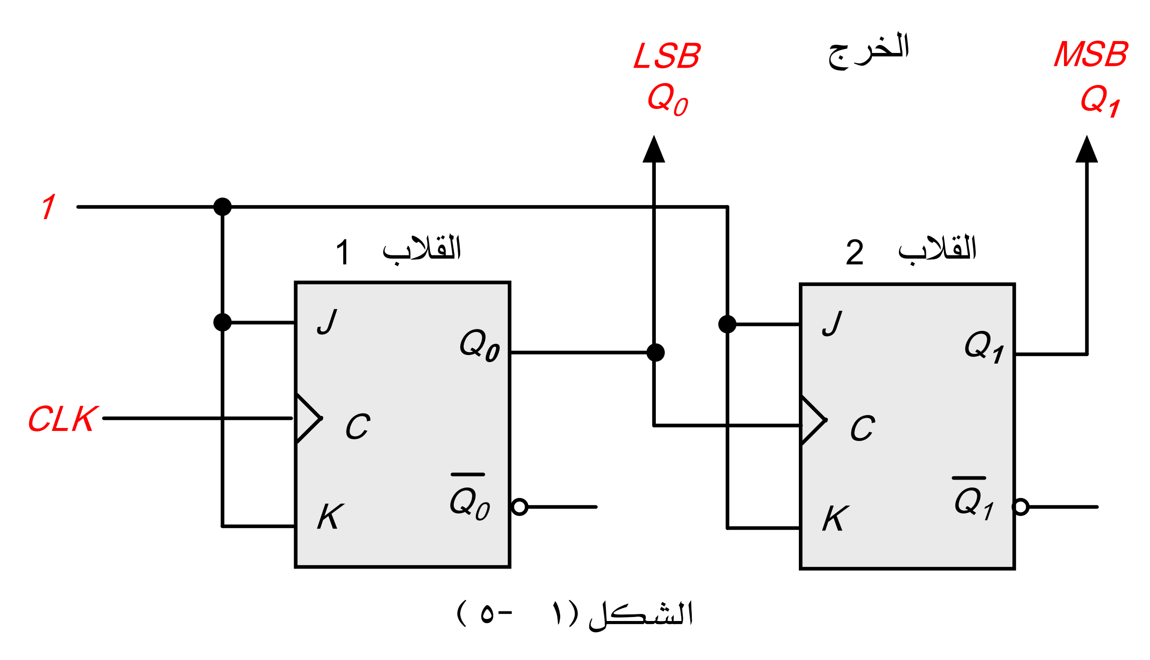
العدادات الغير متزامنة Asynchronous Counters

العدادات الغير المتزامنة هي العدادات التي لا تغير فيها القلابات حالتها في نفس اللحظة, لأن مداخل ساعتها CLKغير موصلة مع بعضها ما يجعل القلابات تشتغل دون تزامن.

العداد الثنائي من بتين الغير متزامن:

يوضح الشكل (١ -٥) عداد ثنائي غير متزامن يحتوي على مخرجين (بتين). نلاحظ من الشكل أن نبضات الساعة CLKموصلة بالقلاب الأول, تتم عملية قدح القلاب الثاني بواسطة خرج القلاب الأول. نلاحظ أيضاً أن كلا القلابين يغير حالته عند الحافة السالبة أو النبضة السالبة لإشارة الساعة CLK, وهذا بسبب وجود الأشكال الدائرية الصغيرة على مداخل الساعة C. إن كون المداخل JوK للقلابات موصلة بالمستوى High أو "١" يؤدي إلى تشغيل القلابات في حالة تبدل Toggleمما يعني أن أي حافة سالبة متواجدة على مدخل الساعة C يؤدي إلى تبديل خرج القلاب من حالته السابقة إلى عكس حالته السابقة.

لنحاول أن نتابع ماذا يحدث عند استلام القلاب الأول لنبضات الساعة CLK.



الشكل (١ -٥)

تكون مخارج العداد في البداية $Q_0=0$ أو $Q_1=0$.

- عند الحافة السالبة لأول نبضة الساعة CLK يغير القلاب الأول حالته من $Q_0=0$ إلى $Q_0=1$ وهذا يؤدي إلى المخارج $Q_1=1$ و $Q_1=0$.
- عند وصول الحافة السالبة لأول نبضة الساعة CLKرقم ٢ يتغير Q_0 من $Q_0=1$ إلى $Q_0=0$ (تبدل) وهذا التغيير للمخرج Q_0 من ٠ إلى ١ سوف يترجم كنبضة ذات حافة سالبة داخلة على مدخل الساعة Cللقلاب الثاني من $Q_1=0$ و $Q_1=1$ وهكذا تصبح مخارج العداد $Q_1=0$ و $Q_1=1$.

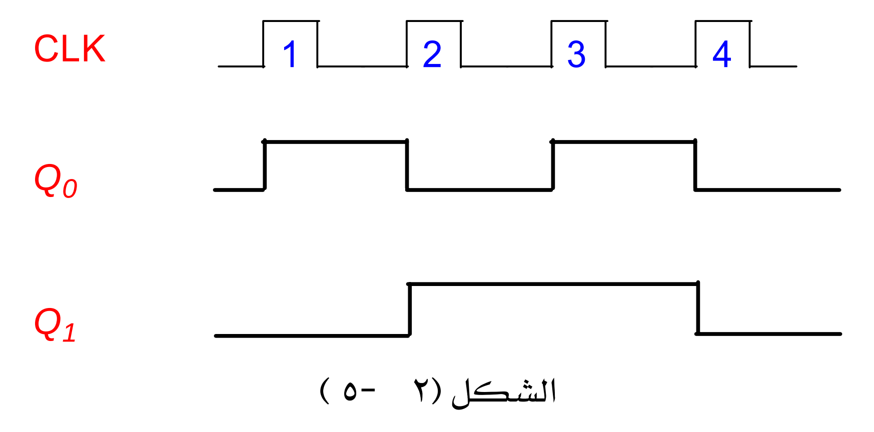
- عند وصول الحافة السالبة لنبضة الساعة CLKرقم ٣ يتغير Q_0 من $Q_0=0$ إلى $Q_0=1$ ويبقى $Q_1=1$,

وهكذا تصبح مخارج العداد $Q_0=1$ و $Q_1=1$.

- عند وصول الحافة السالبة لنبضة الساعة CLKرقم ٤ يتغير Q_0 من $Q_0=1$ إلى $Q_0=0$, بما أن Q_0 هو مدخل الساعة Cالقلاب الثاني فإنه يعتبر كحافة سالبة لنبضة داخلة على مدخل الساعة C وهذا ما يؤدي إلى تغير حالة القلاب الثاني Q_1 من $Q_1=1$ إلى $Q_1=0$ وهكذا تصبح مخارج العداد خلال النبضة الرابعة كالتالي:

نلاحظ أن العملية التي حدثت بالنسبة للأربعة نبضات الأولى لإشارة الساعة CLKسوف تتكرر ابتداء من النبضة الخامسة. بعدها نحصل على الحالات ($Q_0=1$ و $Q_1=0$) ثم ($Q_0=0$ و $Q_1=1$) ثم ($Q_0=1$ و $Q_1=1$) ثم ($Q_0=0$ و $Q_1=0$) وهكذا...........

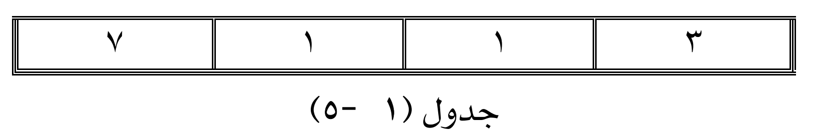
يوضح الشكل (٢ -٥) المخطط الزمني لمخارج العداد غير المتزامن المكون من قلابين (٢ بت).



الشكل (٢ -٥)

كما يوضح الجدول (١ -٥)جدول حقيقة هذا العداد.

المكافىء العشري	O/P		CLK NO.
	Q_1	Q_2	
٠	٠	٠	٠
١	١	٠	١
٢	٠	١	٢
٣	١	١	٣
٠	٠	٠	٤
١	١	٠	٥
٢	٠	١	٦



٧	١	١	٣

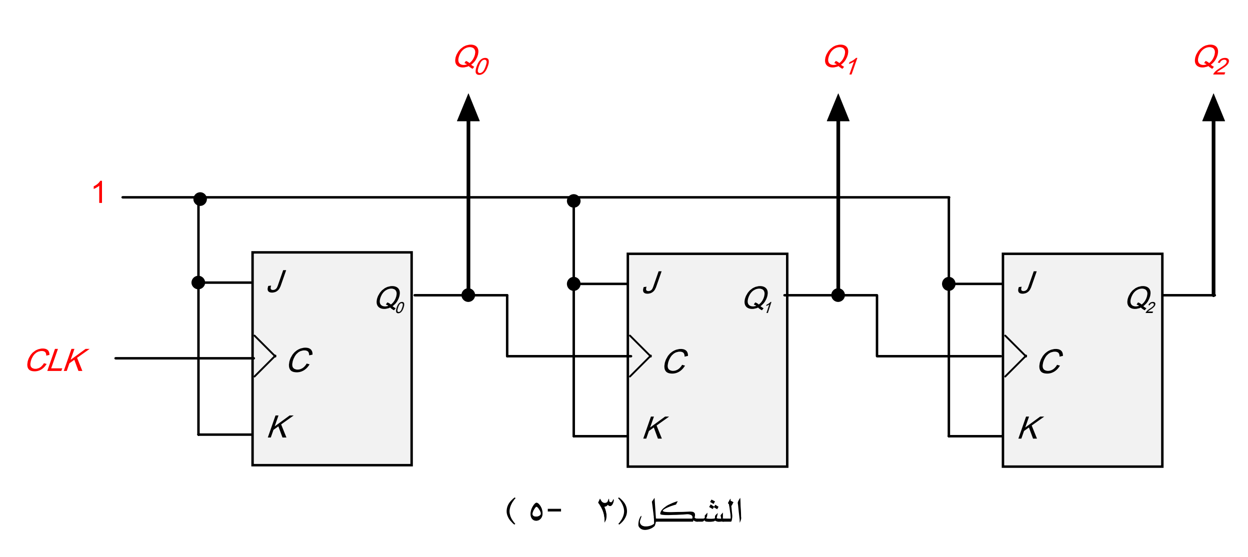
جدول (١ -٥)

نلاحظ من الجدول أن العداد يعد ثنائياً بصفة تصاعدية من ٠٠ إلى ١١ ما يعني عشرياً من ٠ إلى ٣. يحتوي هذا العداد الثنائي على ٤ حالات, لذا فإن معامل العداد Modulus هو ٤. أما أقصى عدد يستطيع العداد إحصاؤه فهو ٣. كما نلاحظ أيضاً بالنسبة للعدادات الثنائية أن عدد حالات العداد أو معامله يساوي ٢ لأس عدد القلابات.

نلاحظ أيضاً أن أقصى عدد (3) يساوي المعامل (4) ناقص ١.

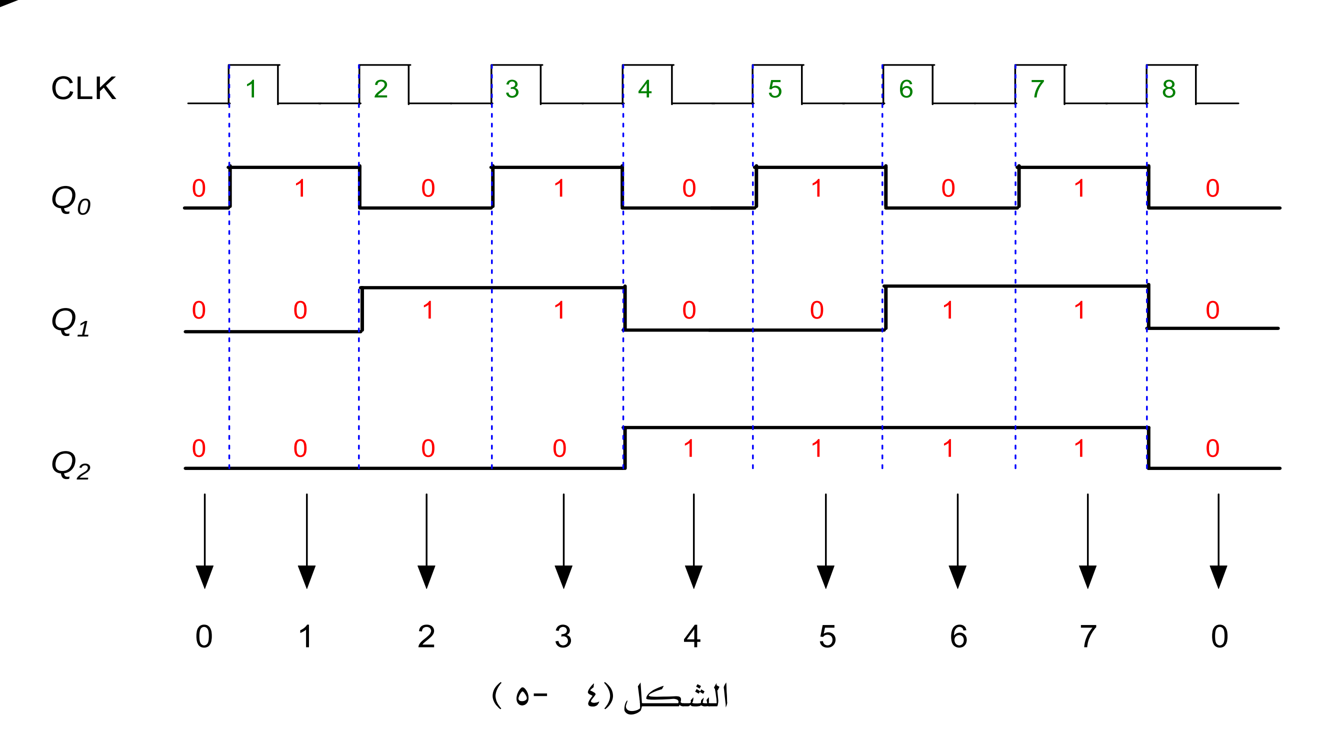
العداد الثنائي ذو ثلاثة بتات غير متزامن:

يوضح الشكل (٣ -٥) عداد ثنائي غير متزامن يحتوي على ثلاث قلابات J-K غير متزامنة. نلاحظ أن نبضات الساعة CLK تدخل على مدخل الساعة C للقلاب الأول فقط, أما بالنسبة لباقي القلابات فإن مدخل ساعتها C تكون موصلة بمخارج القلابات التي تسبقها. كما نلاحظ أن كل القلابات تكون نشطة عند الحافة الموجبة لإشارة نبضات الساعة CLK, لأن مداخل الساعة Cللقلابات لا تحتوي على الأشكال الدائرية التي تدل على النفي.



الشكل (٣ -٥)

يؤدي نفس التحليل الذي طبقناه في الفقرة السابقة (٢ بت) إلى الحصول على المخطط الزمني للعداد الذي يحتوي على ثلاثة قلابات ذات مخارج Q_0 و Q_1 و Q_2..... والموضح بالشكل (٤ - ٥).



الشكل (٤ -٥)

يوضح الجدول (٢ -٥)جدول حقيقة العداد الثنائي ذو ثلاثة بتات غير متزامنة:

CLK .NO	O/P			
	المكافىء الثنائي			المكافىء العشري
	Q_2	Q_1	Q_0	
٠	٠	٠	٠	٠
١	٠	٠	١	١
٢	٠	١	٠	٢
٣	٠	١	١	٣
٤	١	٠	٠	٤
٥	١	٠	١	٥
٦	١	١	٠	٦
٧	١	١	١	٧
٨	٠	٠	٠	٠
٩	٠	٠	١	١
١٠	٠	١	٠	٢

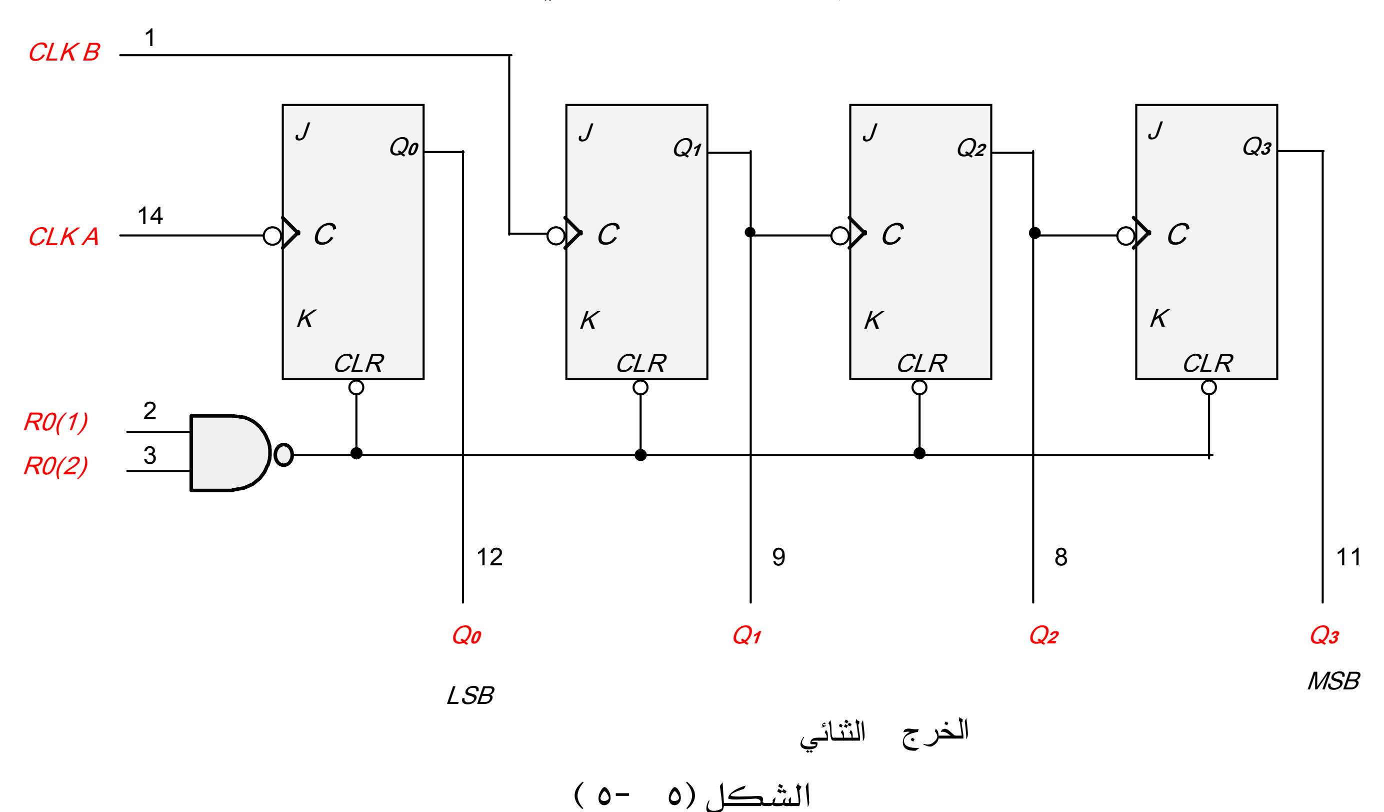
جدول (٢ -٥)

ما يمكن ملاحظته هو أن:

- عداد يتكون من ثلاثة قلابات يحتوي على ٨ حالات للمخارج Q_0 و Q_1 و Q_2ما يعني أن معامله Modulus يساوي ٨.
- أقصى عدد يستطيع إحصاؤه هو المعامل ناقص واحد ما يعني العدد٧.

كل ما رأيناه بالنسبة للعدادات ٢ بت و ٣ بت يمكن تعميمه إلى أي عداد ثنائي يحتوي على أي عدد ممكن من القلابات.

يوضح الشكل (٥ -٥) المخطط المنطقي للدائرة المتكاملة LS93A٧٤ والتي تحتوي على عداد ثنائي ذو أربعة بتات. نلاحظ من الشكل أنه بإمكاننا أن نستخدم هذه الدائرة كعداد ثنائي معامله ٨ وهذا باستخدام الثلاثة قلابات التي تحتوي على المخارج Q_0 و Q_1 و Q_2, كما يمكننا استخدام هذه الدائرة كعداد ثنائي معامله ١٦ (٤ بتات) وهذا بتوصيل مخرج القلاب الأول Q_0 بمدخل الساعة C للقلاب الثاني. كما سنرى لاحقاً أنه بإمكاننا استخدام الدائرة كعداد عشري.



الشكل (٥ -٥)

العدادات العشرية Decimal Counters:

إذا كان عداد يحتوي على عدد N من القلابات فإن عدد حالات مخارج هذا العداد ٢^N وأقصى عدد يستطيع العداد إحصاؤه هو (٢^N -١). بإمكاننا تصميم عداد يعد إلى عدد أقل منه أقصى العدد الذي يمكن العداد إحصاؤه.

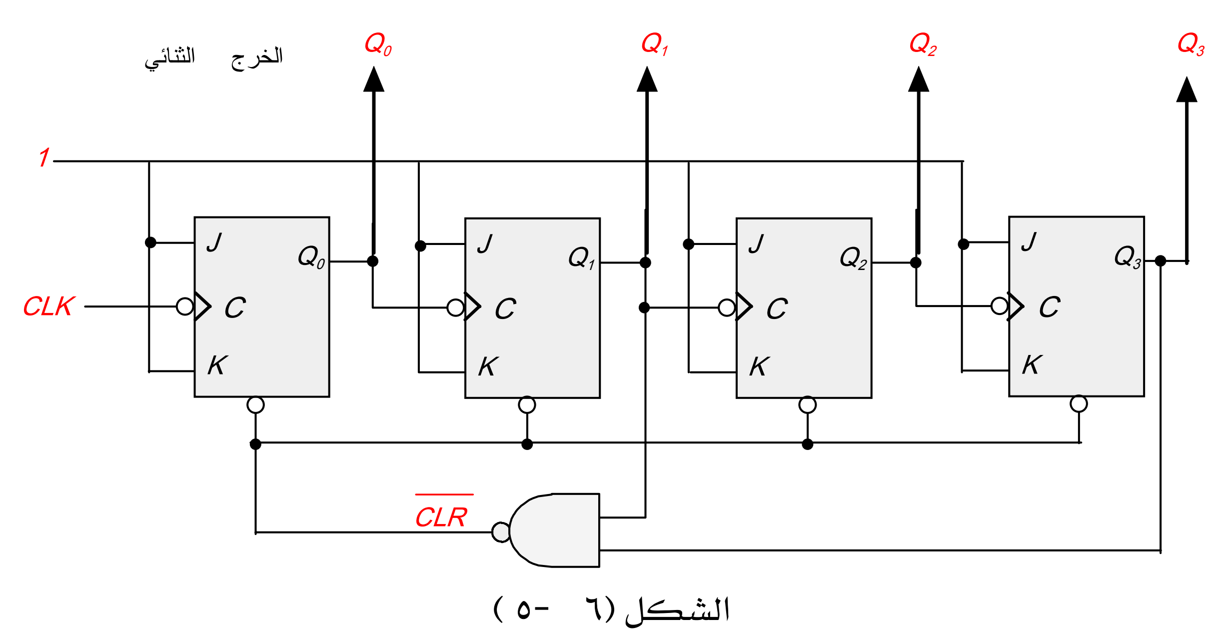
ففي حالة استخدام ٤ قلابات, أقصى عدد ممكن هو (٢^N -١) ١٥ بالنسبة للعداد العشري فإنه يحتوي على ١٠ حالات MOD10 لمخارجه والتي تعادل الأعداد الثنائية للأرقام العشرية(٠ ,١ ,٢ ,٣ ,4 ,٥,٦ ,٧ ,8, ٩) وهذه الأرقام أو الحالات أو التركيبات الثنائية هي:

٠٠٠٠ ,٠٠٠١ ,٠٠١٠ ,٠٠١١ ,٠١٠٠ ,٠١٠١ ,٠١١٠ ,٠١١١ ,١٠٠٠ ,١٠٠١

إذا اتخذنا عداد يحتوي على ٤ قلابات أو ٤ خانات فأقصى عدد ثنائي يكون ١١١١. في حالتنا نريد أن نعد من ٠ إلى ٩ أو من ٠٠٠٠ إلى ١٠٠١, فلذلك يستلزم للنبضة رقم ١٠ أن تصفر العداد, يعادل رقم ١٠ العدد الثنائي ١٠١٠.

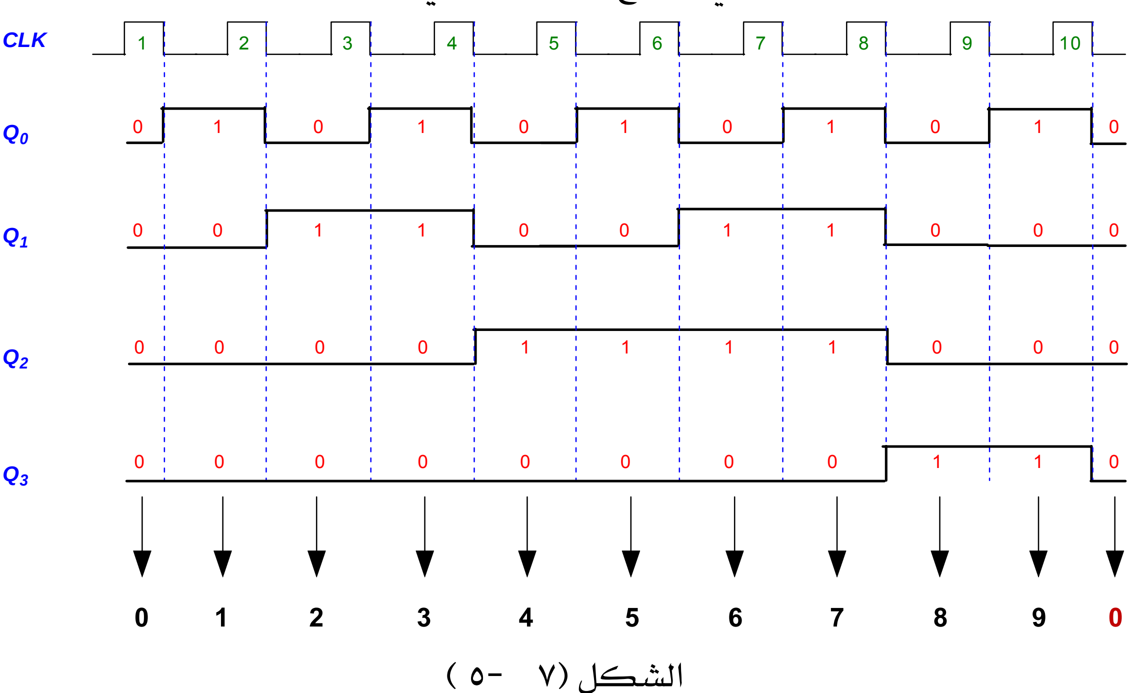
لتمكين المخارج Q_3Q_2 Q_1 Q_0 التي تساوي ١٠١٠ من تصفير العداد تستلزم الحاجة إلى استخدام بوابة NAND تكون مداخلها موصلة بالمخارج Q_3 و Q_1 ويكون مخرجها موصل بالمدخل غير متزامن CLR لكلٍ من القلابات الأربعة مما يؤدي إلى تصفير كل مخارج القلابات وبالتالي العداد.

يوضح الشكل (٦ -٥) الرمز المنطقي لعداد عشري غير متزامن مبني على المعطيات والتحاليل السابق ذكرها.



الشكل (٦ -٥)

يوضح الشكل (٧ -٥) المخطط الزمني لمخارج العداد العشري .MOD10



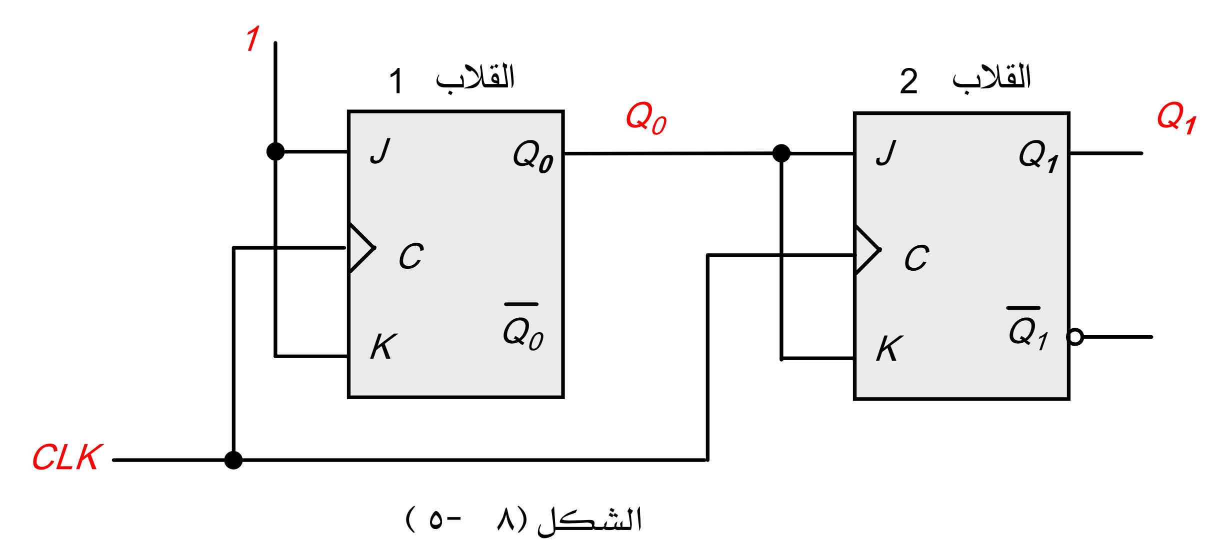
الشكل (٧ -٥)

بإمكاننا تصميم عداد يحتوي على أي معامل وهذا بإتباع الفكرة التي طبقناها على العداد العشري.

العدادات المتزامنة Synchronous Counters

العدادات المتزامنة هي العدادات التي تكون فيها كل مداخل ساعات قلاباتها C موصلة بإشارة نبضات الساعة CLK. يوضح الشكل (٨ -٥) عداد ثنائي متزامن ذو بتين أي يحتوي على قلابين. نلاحظ أن مداخل القلابات Cموصلة مع بعضها إلى إشارة نبضات الساعة CLK.

تستجيب القلابات في هذه الحالة إلى الحافة الموجبة لنبضات الساعة CLK.



الشكل (٨ -٥)

لنرى الآن كيف يشتغل هذا العداد المتزامن الذي كانت حالته الابتدائية $Q_0=0$ و $Q_1=0$.

- عند الحافة الموجبة لنبضة الساعة CLK رقم ١, يكون $Q_0=0$ لأن مداخل القلاب الأول $J_0=1$ و $K_0=1$) عكس الحالة السابقة) أما مخرج القلاب الثاني فيبقى في حالته السابقة $Q_1=0$ لأنه عند وصول الحافة الموجبة لنبضة الساعة CLK رقم ١ كانت مداخل القلاب الثاني $J_1=0$ و $K_1=0$وهذا ما يتركه في حالته السابقة يعني.$Q_1=0$

فبعد انتهاء النبضة رقم ١ للساعة CLK تكون حالة مخارج العداد $Q_0=1$ و $Q_1=0$.

-عند وصول النبضة رقم ٢ للساعة CLKفإن المخرج Q_0 يتغير من $Q_0=1$ و $Q_0=0$ لأن مداخل القلاب الأول $J_0=1$ و $K_0=1$ أما مخرج القلاب الثاني Q_1 فإنه يتغير من $Q_1=0$ إلى $Q_1=1$ لأنه عند وصول النبضة رقم ٢ كانت مداخل القلاب الثاني $J_1=1$ و $K_1=1$وهذا ما يؤدي إلى أخذ عكس حالته السابقة Toggle.

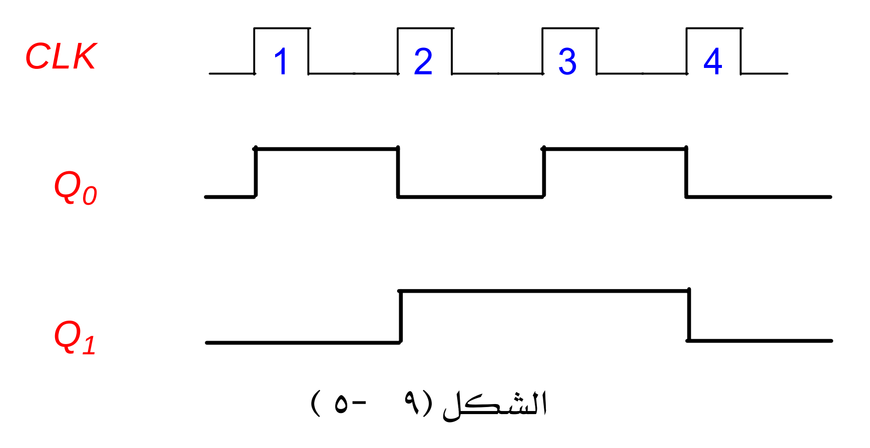
بعد انتهاء النبضة رقم ٢ للساعة CLK تكون حالة مخارج العداد $Q_0=0$ و $Q_1=1$.

-عند وصول النبضة رقم ٣ للساعة CLKفإن المخرج Q_0 يتبدل من $Q_0=0$ إلى $Q_0=1$ ($J_0=1$ و$K_0=1$) أما مخرج القلاب الثاني Q_1 فإنه يبقى في حالته السابقة دون تغيير يعني $Q_1=1$, وذلك لأن مداخل القلاب الثاني الموصلة بالمخرج Q_0 كانت $J_1=0$ و $K_1=0$ بعد انتهاء النبضة رقم ٢ للساعة CLK. تؤدي إلى مخارج العداد الآتية: $Q_0=1$ و $Q_1=1$.

- عند وصول النبضة رقم ٤ للساعة CLKفإن المخرج Q_0 يتبدل من $Q_0=1$ إلى $Q_0=0$ ($J_0=1$ و $K_0=1$) والمخرج الثاني Q_1 فإنه أيضاً يتغير من $Q_1=1$ إلى $Q_1=0$ Q_0 ($J_1=1$ و $K_1=1$).

نلاحظ أنه بعد نهاية النبضة رقم ٤ للساعة CLKيعود العداد إلى حالته الابتدائية $Q_0=0$ إلى $Q_1=0$.
وبعدها تبدأ عملية تكرار حالات العداد الأربعة.

يوضح الشكل (٩ -٥) المخطط الزمني لمخارج العداد Q_0 و Q_1 خلال الزمن.



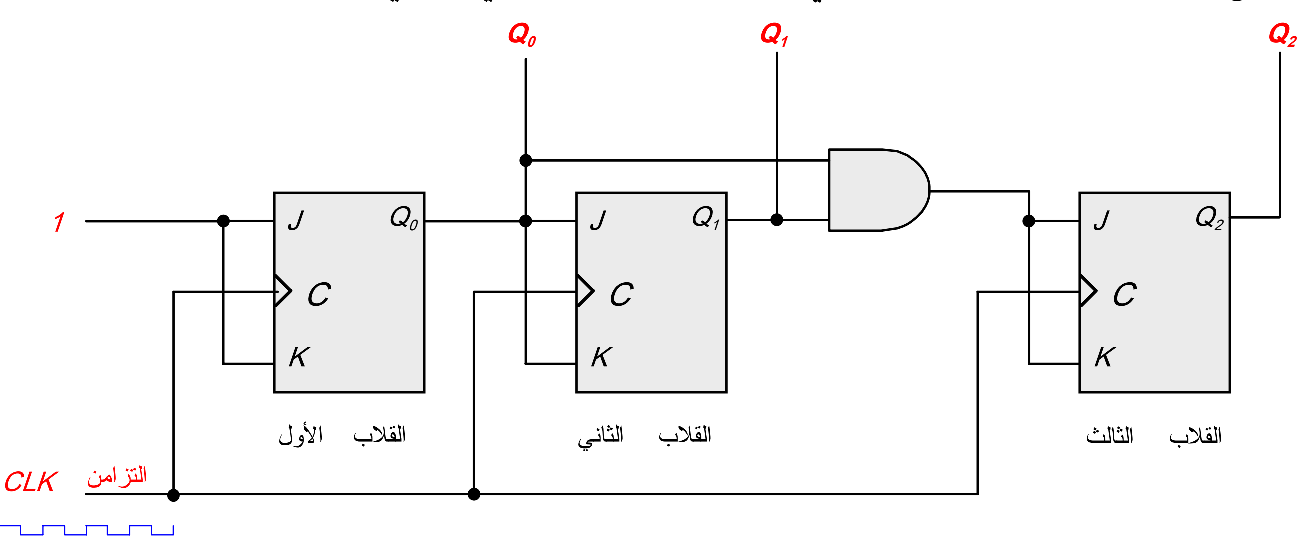
الشكل (٩ -٥)

كما يوضح الجدول التالي. جدول حقيقة العداد الثنائي المتزامن المتكون من قلابين.

رقم النبضة CLK NO	المخارج		المكافىء العشري
	Q_1	Q_0	
٠	٠	٠	٠
١	٠	١	١
٢	١	٠	٢
٣	١	١	٣
٤	٠	٠	٠
٥	٠	١	١
٦	١	٠	٢
٧	١	١	٣
٨	٠	٠	٠
9	٠	١	١

جدول (٣ -٥)

يوضح الشكل (١٠ -٥) عداد ثنائي متزامن ذو ثلاثة بتات. أي يحتوي على ثلاثة قلابات J-K.

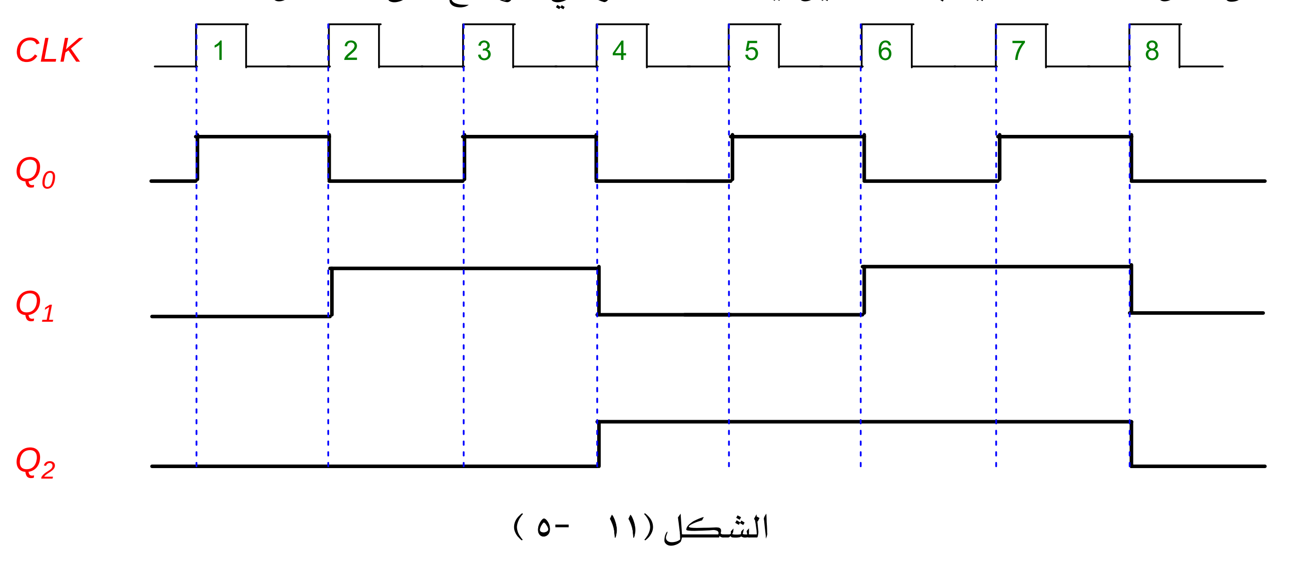


الشكل (١٠ -٥)

نلاحظ من خلال الشكل أنه عند وصول أي حافة موجبة لنبضات الساعة CLK فإن خرج القلاب الأول Q_0 يغير حالته من حالته السابقة إلى عكس حالته السابقة. فإن Q_0 يتغير من $Q_0=0$ إلى $Q_0=1$ عند وصول النبضات ذات الأرقام ١و٣ و ٥ و ٧ و٩ .... ويتغير Q_0 من $Q_0=1$ إلى $Q_0=0$ عند وصول النبضات

ذات الأرقام ٢و٤ و ٦ و ٨ و١٠ ...... نلاحظ أيضاً أن مخرج القلاب الثاني Q_1 يتغير كل مرة يكون فيها Q_0 قد تغير من $Q_0=1$ إلى $Q_0=0$ وهذا ما يحدث خلال النبضات ذات الأرقام ٢و٤ و ٦ و ٨ و١٠......
وبالضبط يتغير Q_1 من $Q_1=0$ إلى $Q_1=1$ عند وصول النبضات ذات الأرقام ٢و٦ و ١٠ و١٤...... . يتغير Q_1 من $Q_1=1$ إلى $Q_1=0$ عند النبضات ذات الأرقام ٤و٨ و ١٢......
أما بالنسبة لخرج القلاب الثالث Q_2 فإنه يغير من حالته عندما يكون مخرج بوابة AND يساوي ١ $(J_1=1)$ و $(K_1=1)$ما يعني أيضاً أن $Q_1=1$ .Q_0 والذي يحصل في حالة $Q_1=0$ و$Q_1=1$ يحدث ذلك عند وصول النبضات ذات الأرقام ٤و٨ و ١٢ ...... وفيها يتغير Q_2 من $Q_2=0$ إلى $Q_2=1$ عند وصول النبضات ذات الأرقام ٤و١٢ و ٢٠ ...... و يتغير Q_2 من $Q_2=1$ إلى $Q_2=0$ عند وصول النبضات ذات الأرقام ٨و١٦ و ٢٤ ....

يتلخص كل ما حصلنا عليه بعد التحليل في المخطط الزمني الموضح على الشكل (١١ -٥)



الشكل (١١ -٥)

والذي من خلاله نستنتج جدول حقيقة العداد المزمن ذو ثلاثة بتات الموضح بالجدول (٤ - ٥).

رقم النبضة CLK NO	مخارج العداد			المكافىء العشري
	Q_2	Q_1	Q_0	
٠	٠	٠	٠	٠
١	٠	٠	١	١
٢	٠	١	٠	٢
٣	٠	١	١	٣
٤	١	٠	٠	٤
٥	١	٠	١	٥
٦	١	١	٠	٦
٧	١	١	١	٧
٨	٠	٠	٠	٠
٩	٠	٠	١	١
10	٠	١	٠	٢
11	٠	١	١	٣
١٢	١	٠	٠	٤
١٣	١	٠	١	٥
١٤	١	١	٠	٦
١٥	١	١	١	٧
١٦	٠	٠	٠	٠
17	٠	٠	١	١
١٨	٠	١	٠	٢
19	٠	١	١	٣
20	١	٠	٠	٤
٢١	١	٠	١	٥
22	١	١	٠	٦
23	١	١	١	٧
٢٤	٠	٠	٠	٠

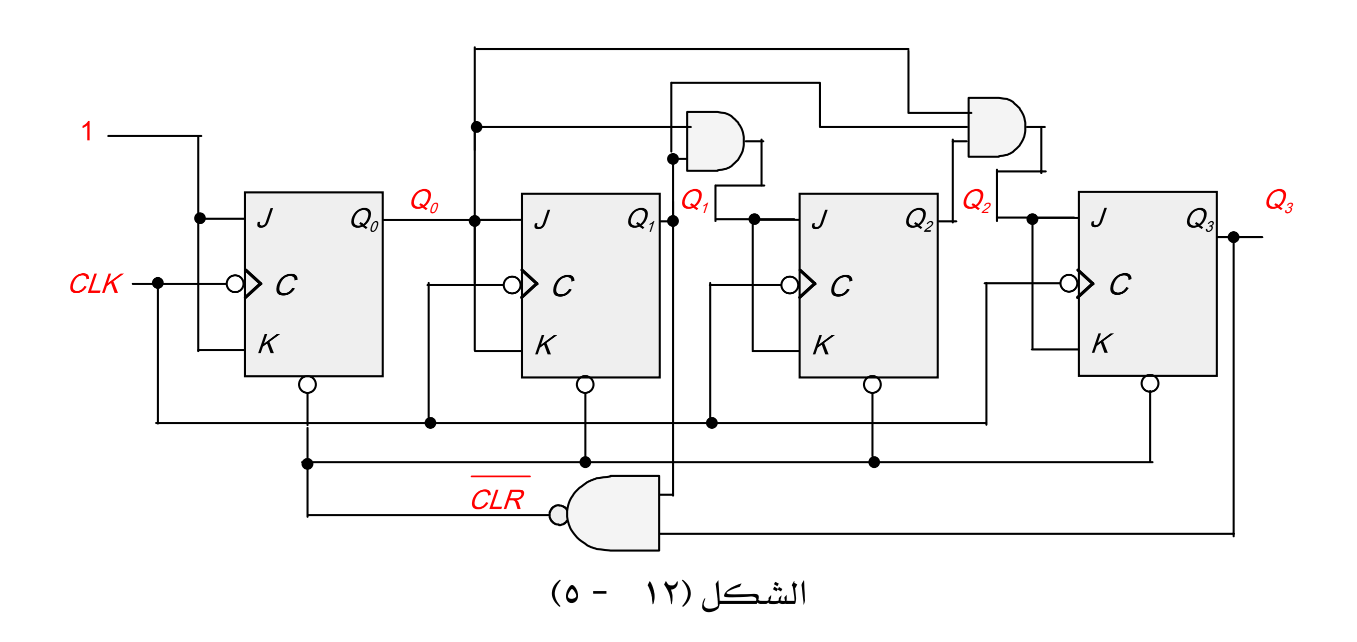
جدول (٤ - ٥)

مثل نظيره غير المتزامن. يحتوي العداد الثنائي المتزامن ذو ثلاثة بتات على ٨ حالات ما يعني أن معامله Modulus هو ٨ وأن أقصى عدد يستطيع العداد إحصاؤه ناقص واحد مما يعني ٧.

العداد العشري المتزامن Counter Decade Synchronous

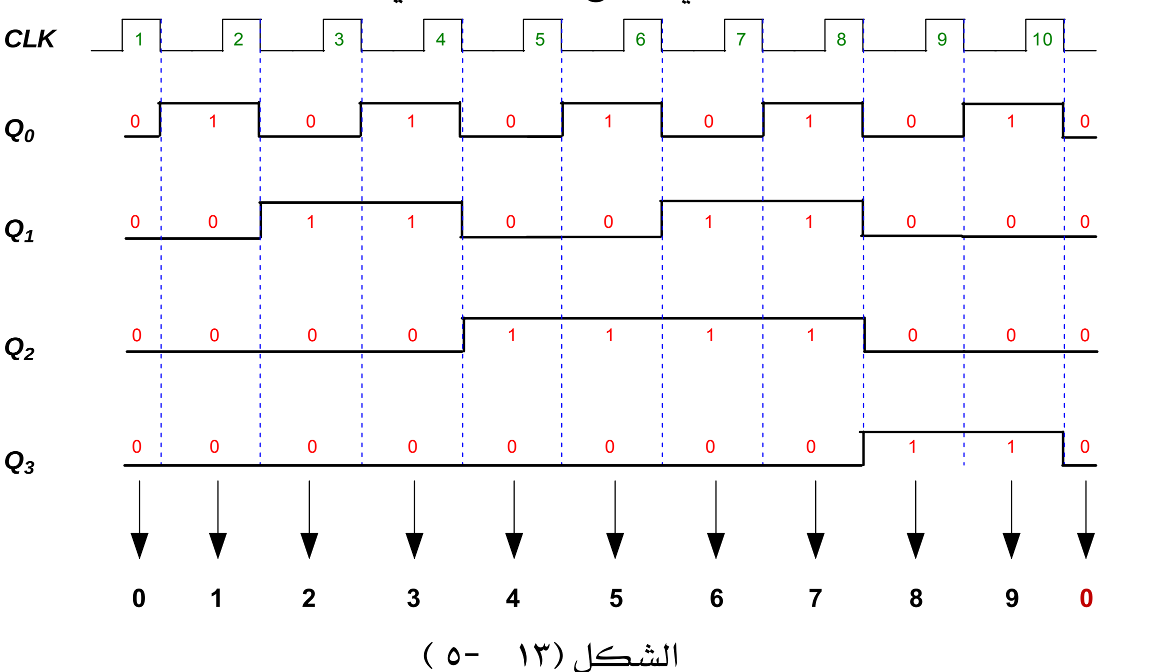
يحتوي العداد العشري المتزامن على عشرة حالات لمخارجه والتي هي المكافئ الثنائي للأرقام العشرية (٠، ١، ٢، ٣، 4، ٥،٦، ٧، 8، ٩) يتغير المكافئ الثنائي لهذه الأرقام من ٠٠٠٠ إلى ١٠٠١. والحالة التي تلي ١٠٠١ والتي تلي ١٠١٠تكون هي التي تضع القلابات في حالة إعادة الوضع أو التصغير. يستلزم هذا العداد استخدام ٤ قلابات J-K تكون مداخل ساعتها C مشتركة وموصلة بنبضات الساعة CLKوباستغلال فكرة العداد المتزامن ذو ثلاثة بتات بإمكاننا الحصول على كيفية توصيل مداخل ومخارج القلابات مع بعضها. أما عملية التصغير فإنها تحدث عندما تكون المخارج $Q_3Q_2\ Q_1\ Q_0$= ١٠١٠ مما يعني أن توصيل Q_3 و Q_1 إلى مداخل بوابة NAND يؤدي إلى تصغير القلابات عندما يكون مخرج بوابة NAND موصل بالمداخل غير المتزامنة للقلابات CLR وفي حالة $Q_3Q_2\ Q_1\ Q_0$= ١٠١٠ .

يوضح الشكل (١٢ -٥) هذا النوع من العدادات والذي يطلق عليه اسم العداد العشري أو العداد العشري المشفر ثنائياً Binary Coded Decimal Counter أو باختصار BCD Counter.



الشكل (١٢ - ٥)


يوضح الشكل (١٣ -٥) المخطط الزمني لمخارج العداد العشري المتزامن.



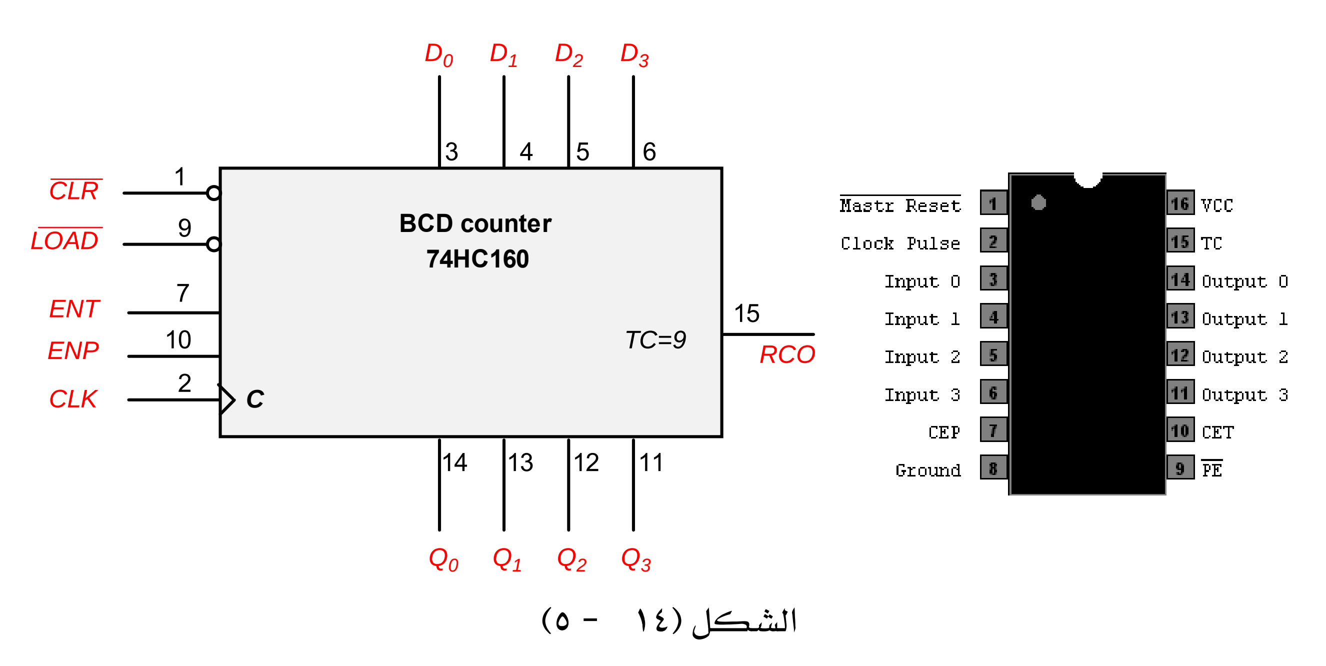
الشكل (١٣ -٥)

كما يوضح الجدول (٥ -٥)حالات هذا العداد.

المكافئ العشري	O/P المكافئ الثنائي Q_0	Q_1	Q_2	Q_3	CLK NO.
٠	٠	٠	٠	٠	٠
١	١	٠	٠	٠	١
٢	٠	١	٠	٠	٢
٣	١	١	٠	٠	٣
٤	٠	٠	١	٠	٤
٥	١	٠	١	٠	٥
٦	٠	١	١	٠	٦
٧	١	١	١	٠	٧
٨	٠	٠	٠	١	٨
٩	١	٠	٠	١	٩
٠	٠	٠	٠	٠	١٠

جدول (٥ -٥)

يوضح الشكل (١٤ -٥) الرمز المنطقي للدائرة المتكاملة ٧٤HC160، والتي تتمثل في عداد عشري متزامن. تقوم الرجل رقم ١ بتصغير العداد بواسطة مستوى Low لإشارة $\overline{CLR}$.



الشكل (١٤ - ٥)

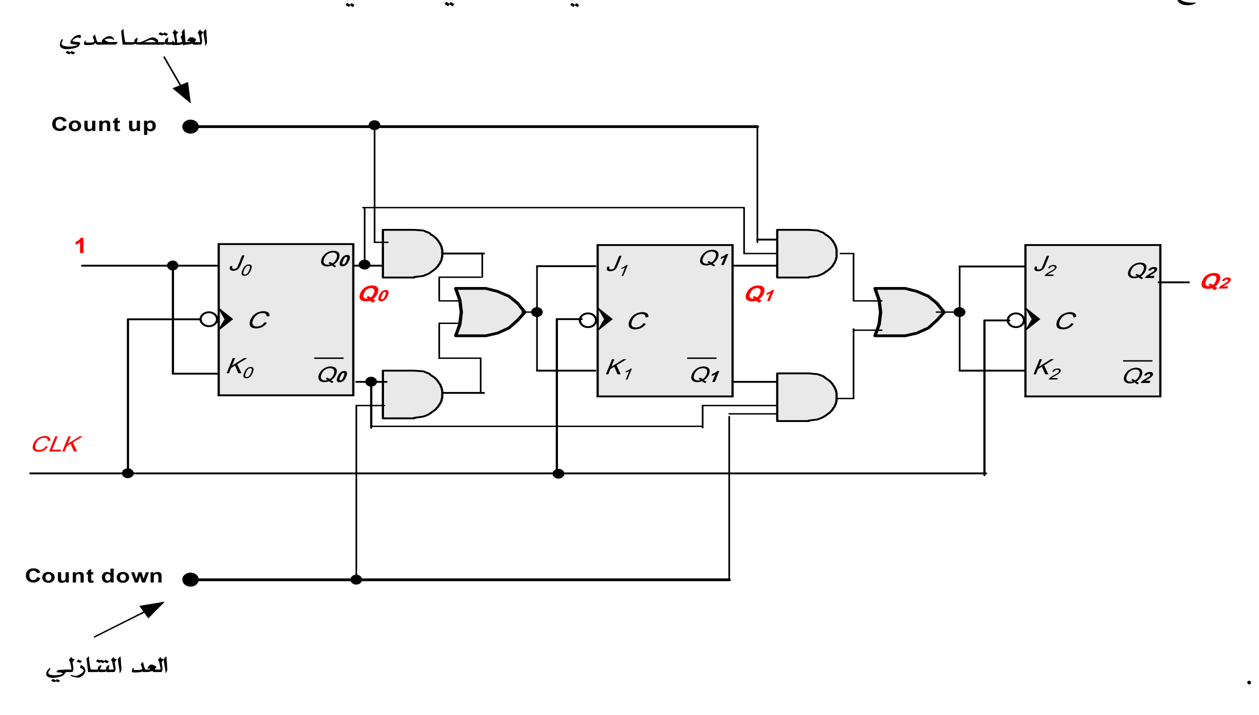
بإمكاننا تحميل العداد في البداية بأي قيمة BCD $D_3D_2D_1D_0$ عبر الأرجل ٣و٤ و ٥ و ٦ وتطبيق مستوى Low "٠" على الرجل رقم ٩ بواسطة $\overline{LOAD}$. تظهر قيمة العد الحالية على المخارج $Q_3Q_2Q_1Q_0$ على الأرجل ١١ و ١٢ و ١٣ و ١٤.

يستلزم إمساك ENP و ENT على المستوى High "١" على الأرجل ٧ و ١٠ لتمكين العداد من الاستمرار في العد. إذا تغير أيٍ من ENP أو ENT من "١" إلى "٠" فإن العداد يتوقف عن العد.

تتحول إشارة RCO على الرجل ١٥ من "٠" إلى "١" عندما يصل العد إلى العدد٩ (١٠٠١).

العداد الثنائي التصاعدي/التنازلي المتزامن:

يوضح الشكل (١٥ -٥)الدائرة المنطقية لعداد ثنائي تصاعدي/تنازلي متزامن يتكون من ٣ قلابات J-K

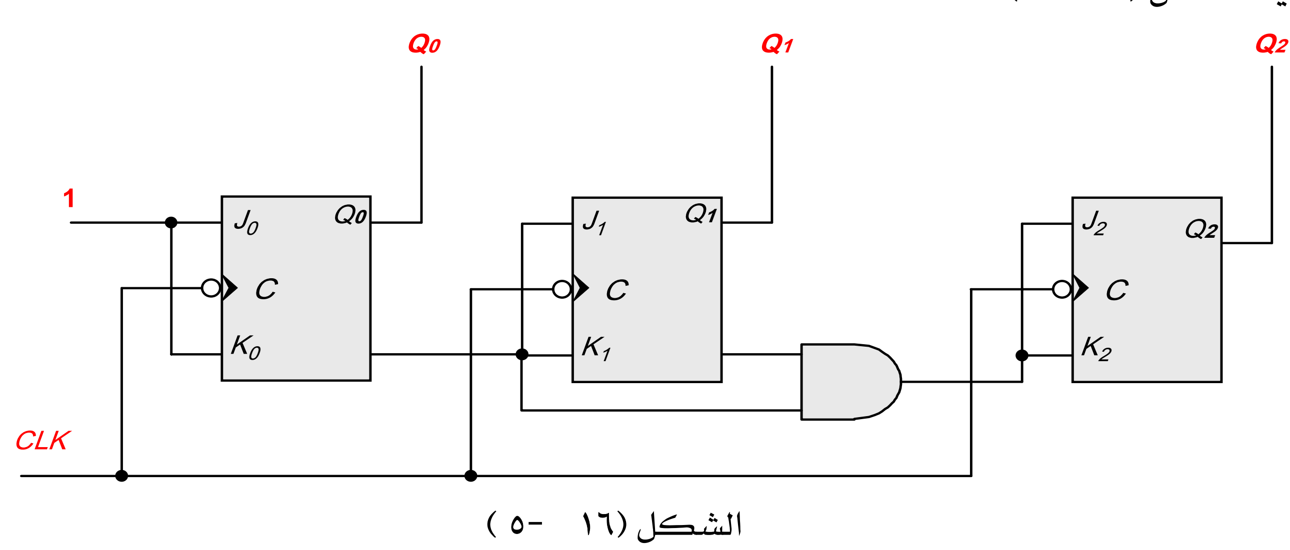


.

الشكل (١٥ -٥)

يتضح من الشكل أن العداد يعد تصاعدياً في حالة Count Up=1 و Count Down=0 ويعد تنازلياً في حالة Count Up=0 و Count Down =1 . رأينا سابقاً الجزء الخاص بحالة العد التصاعدي والمتعلق بتوصيل مداخل ومخارج القلابات كما هو موضح في الشكل.

أما بالنسبة للجزء الخاص بالعد التنازلي فهو الذي يوصل فيه المخارج المتممة مع المداخل مثل ما هو موضح في الشكل (١٦ -٥).



الشكل (١٦ -٥)

إذا كان Count Up=0 و Count Down=1 وكانت حالة العداد٠٠٠ = $Q_2Q_1Q_0$، يعني هذا أن المخارج المتممة ١١١= $\overline{Q_2}\ \overline{Q_1}\ \overline{Q_0}$ ويضع هذا المداخل J و K لكل القلابات في حالة J₁=1 و K₁=1 لأن المخارج المتممة هي التي تكون موصلة بالمداخل J و K في هذه الحالة.

ماذا يحدث عند وصول النبضة رقم ١ للساعة CLK؟

بما أن كل مداخل القلابات لها J₁=1 و K=١فهذا يعني أن أي حافة سالبة لنبضة الساعة CLKتؤدي إلى عكس قيم المخارج التي تكون سارية المفعول قبل وصول النبضة، وهذا يعني أن كل المخارج تتحول من $Q_2Q_1Q_0 = 000$ إلى $Q_2Q_1Q_0 = 111$ عند وصول الحافة السالبة للنبضة رقم ٢ للساعة CLK، فإن مخرج القلاب الأول Q_0 يتغير من $Q_0 = 1$ إلى $Q_0 = 0$ ($\overline{Q_0} = 1$) أما المخارج Q_1 و Q_2 فإنها لا تتغير لأن مداخل قلابيها تحتوي على J=0 و K=0 [موصلة بالمخارج المتممة التي أصبحت الآن ٠] . هذا يعني أن الخرج عند النبضة رقم ٢ يكون $Q_2Q_1Q_0 = 110$.

عند وصول الحافة السالبة للنبضة رقم ٣ للساعة CLK، فإن مخرج القلاب الأول Q_0 يتغير من $Q_0 = 0$ إلى $Q_0 = 1$ ($\overline{Q_0} = 0$) وكذلك مخرج القلاب الثاني Q_1 فإنه يتغير من $Q_1 = 1$ إلى $Q_1 = 0$ (لأن $\overline{Q_0} = 1$ لحظات بعد وصول الحافة السالبة لنبضة رقم ٢) ويبقى المخرج Q_2 في حالته السابقة يعني $Q_2 = 1$ لأن مداخله كانت J=0 و K=0. يعني هذا أن الخرج عند النبضة رقم ٣ يكون $Q_2Q_1Q_0 = 101$.

ونستمر في هذا التحليل للحصول على ما يلي:

عند النبضة رقم ٤ يكون الخرج $Q_2Q_1Q_0 = 100$.

عند النبضة رقم ٥ يكون الخرج $Q_2Q_1Q_0 = 011$.

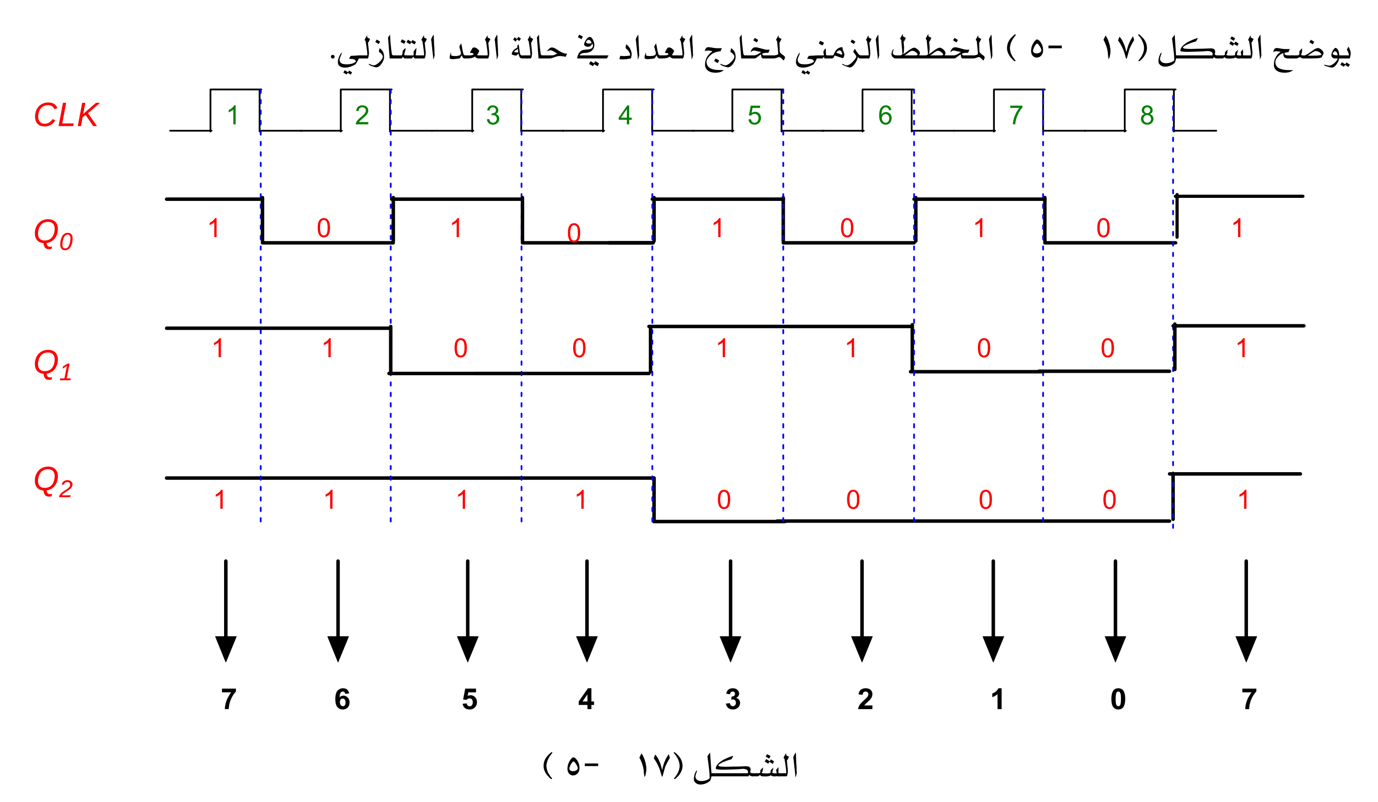
عند النبضة رقم ٦ يكون الخرج $Q_2Q_1Q_0 = 010$.

عند النبضة رقم ٧ يكون الخرج $Q_2Q_1Q_0 = 001$.

عند النبضة رقم ٨ يكون الخرج $Q_2Q_1Q_0 = 000$.

وسوف تتكرر العملية بعد النبضة رقم ٩.

يوضح الشكل (١٧ -٥) المخطط الزمني لمخارج العداد في حالة العد التنازلي.



الشكل (١٧ -٥)

يوضح الجدول (٦ -٥) حالات مخارج العداد عندما يكون Count Dow =١ وCount Up=0.

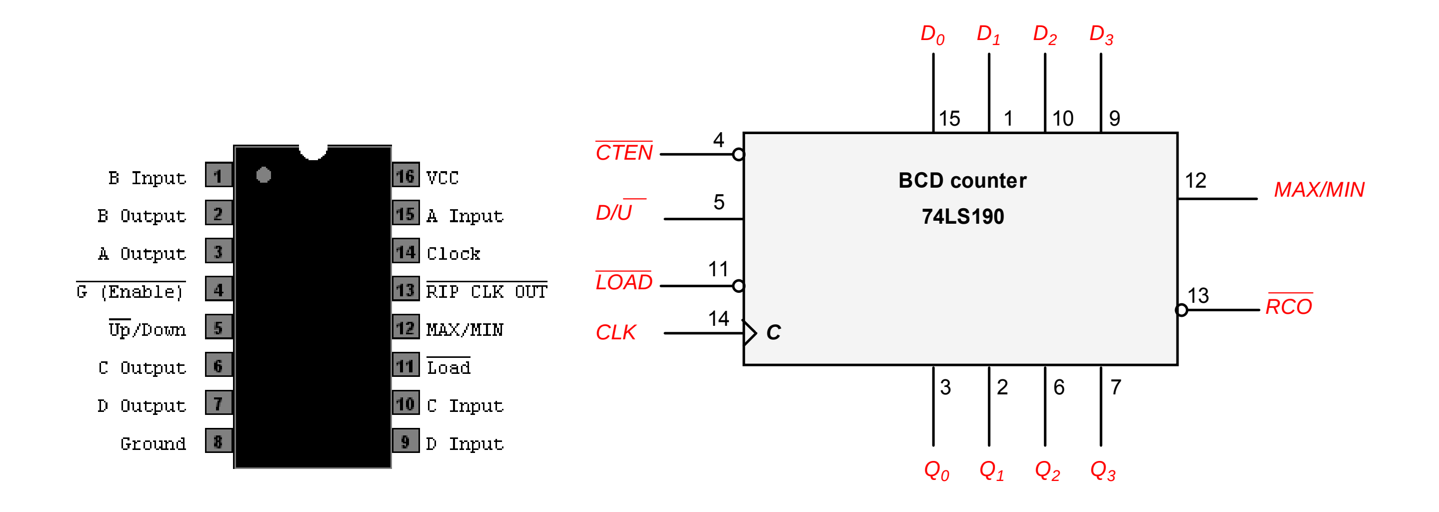
CLK NO.	مخارج العداد			المكافيء العشري
	Q1	Q2	Q3	
٠	٠	٠	٠	٠
١	١	١	١	٧
٢	١	١	٠	٦
٣	١	٠	١	٥
٤	١	٠	٠	٤
٥	٠	١	١	٣
٦	٠	١	٠	٢
٧	٠	٠	١	١
٨	٠	٠	٠	٠
٩	١	١	١	٧

جدول (٦ -٥)

يوضح الشكل (١٨ -٥) الرمز المنطقي للدائرة المتكاملة LS190٧٤ والتي تحتوي على عداد عشري تصاعدي/تنازلي متزامن.

يدل المدخل D/U على الرجل رقم ٥ على حالة العد إذا كان $D/U = 1$ فإن العد يكون تنازلياً وفي حالة $D/U = 0$ فإن العد يكون تصاعدياً.

بإمكاننا تحميل العداد بأي قيمة BCD على المداخل $D_0\ D_1\ D_2 D_3$ عندما يكون $\overline{LOAD} = 0$. يولد المخرج Max/Min على الرجل رقم ١٢ مستوى عالي High "١" عندما يصل العد إلى ٩ (١٠٠١) في الحالة التصاعدية أو ٠(٠٠٠٠) في الحالة التنازلية.



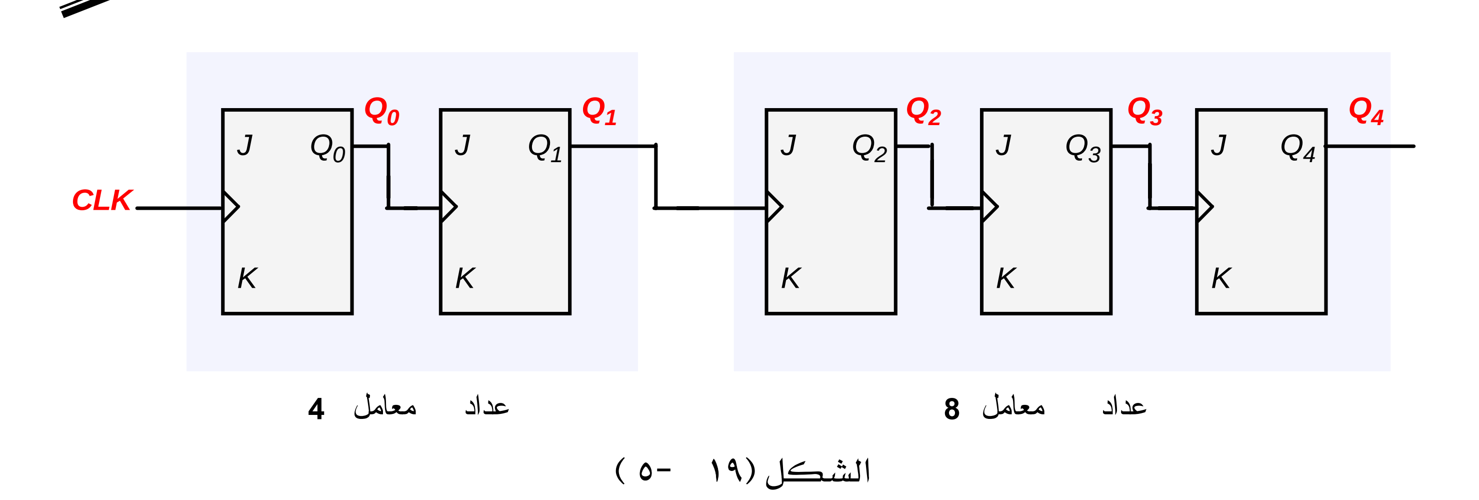
الشكل (١٨ - ٥)

تجميع العدادات Cascaded Counters

بإمكاننا توصيل العدادات على التوالي وهذا للحصول على معامل أكبر. تتحقق هذه العملية بتوصيل مخرج آخر قلاب في العداد الأول بأول قلاب في العداد الثاني.

يوضح الشكل (١٩ -٥) عداد غير متزامن يتكون من عدادين على التوالي:

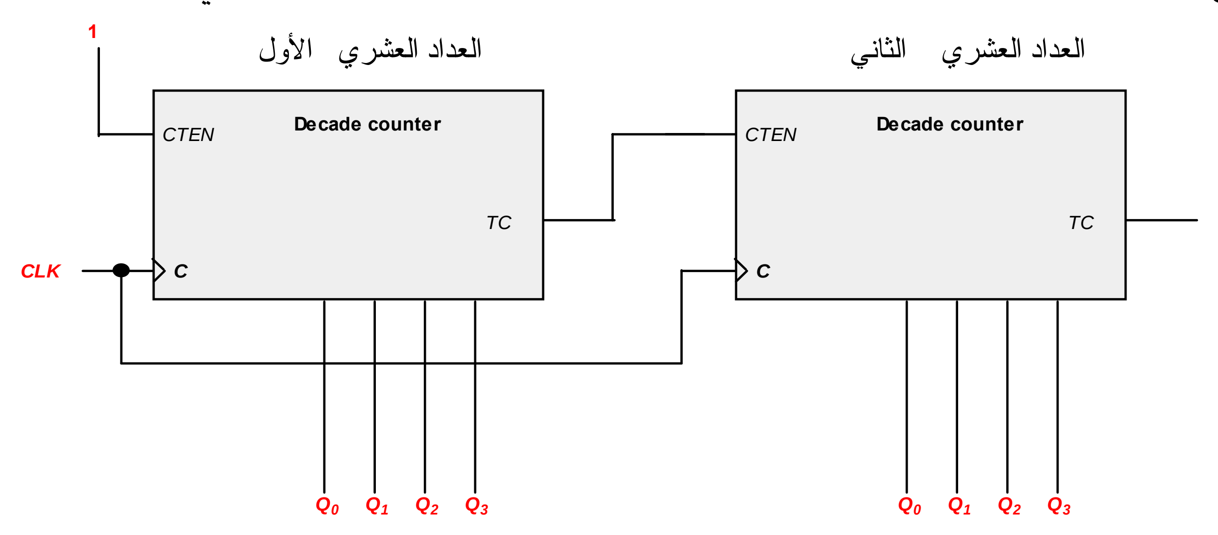
الأول ذو بتين يعني معامله ٤ والثاني ذو ثلاثة بتات يعني معامله ٨. نلاحظ أن العداد الكلي يتكون من ٥ قلابات مما يعني معاملة ٢^٥=٣٢. ما يمكن استنتاجه هو أن معامل العداد الكلي يساوي ضرب معاملات العدادات التي يتكون منها ما يعني أن: ٨=٣٢× ٤.



الشكل (١٩ -٥)

بإمكاننا الآن استغلال هذه النتيجة لتوصيل الدوائر المتكاملة مع بعضها على التوالي وهذا لغرض الحصول على معاملات كبيرة.

يوضح الشكل (٢٠ -٥) عدادا يتكون من عدادين عشريين أو BCD على التوالي.



عداد معامل 100

الشكل (٢٠ -٥)

نلاحظ أن المخرج Tc للعداد الأول موصول بالمدخل CTEN للعداد الثاني. لتمكين العداد من العدد ينبغي أن يكون CTEN نشط في هذه الحالة المستوى High "١" . ورأينا سابقاً أننا نحصل على مستوى نشط أو فعال في هذه الحالة High على المخرج Tc عندما يصل العداد إلى أقصى عدد بإمكانه إحصاؤه. ما يعني هذا أنه عندما يصل العداد إلى ٩ (١٠٠١) فحينئذ يحصل هناك مستوى فعال في هذه الحالة High "١" على المخرج Tc وهذا ما يؤدي إلى تمكين العداد الثاني للبدء في عد العشرات.

يعني هذا أن عند وصول النبضة رقم ١٠ يكون العداد الثاني ممكن لأن CTEN = High في هذه الحالة ويتغير مخرج العداد ثنائياً من ٠ إلى ١وبعدها مباشرةً يرجع T_C في حالة غير نشطة لأن العداد الأول محمل بالعدد٠ ويتبقى T_C ما يعني أيضاً CTEN في هذه الحالة غير النشطة إلا أن يصل العداد الأول إلى الرقم ٩ للمرة الثانية, ما يؤدي إلى تنشيط العداد الثاني وإمكانه من تغير قيمة عده من ١ إلى ٢. وهكذا...........
ما يمكن ملاحظته هو أن إشارة المخرج T_C للعداد الثاني تكون نشطة عندما يصل عدد العشرات إلى.٩
نلاحظ أيضاً أن هذا العداد يعد من ٠ إلى ٩٩, ما يعني أن معامله ١٠٠, وهذا ما يؤكد ما ذكرناه سابقاً أي أن معامل العداد الكلي ١٠٠ يساوي حاصل ضرب معاملات العداد الأول ١٠ بالعداد الثاني ١٠.

ثانيا :مسجلات الإزاحة
Shift Registers

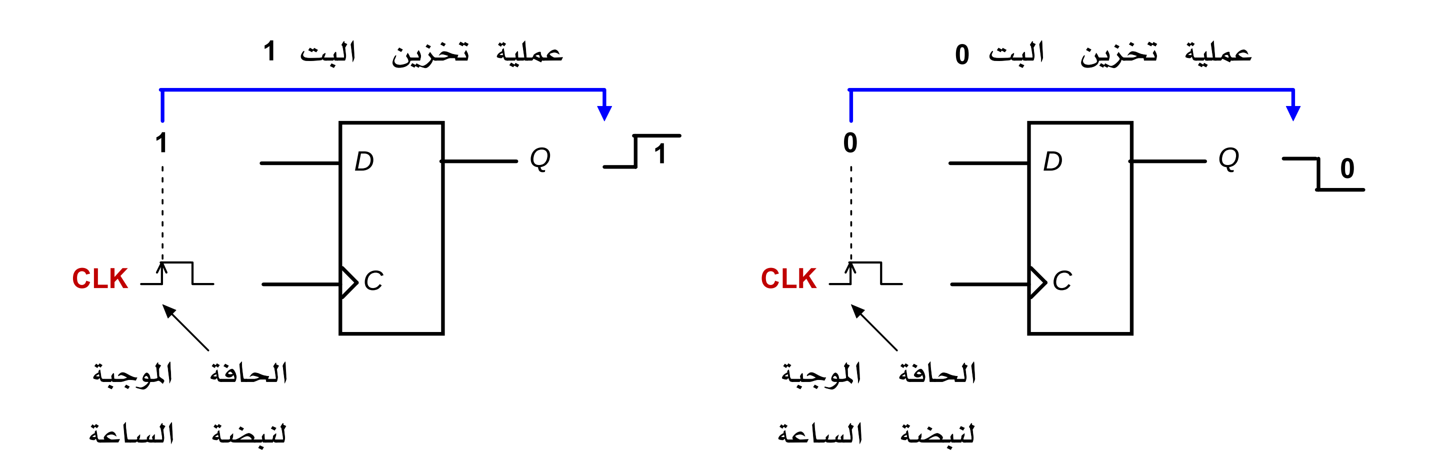
تعتبر مسجلات الإزاحة كنوع من الدوائر المنطقية التعاقبية التي تشبه العدادات الرقمية. تستخدم مسجلات الإزاحة أساساً لتخزين البيانات الرقمية.

سوف ندرس في هذا الفصل بعض الأنواع الأساسية لمسجلات الإزاحة والتطبيقات المُتعلقة مع كل نوع.

تحتوي مسجلات الإزاحة على تركيبة من القلابات دورها تخزين وتحويل البيانات في الأنظمة الرقمية.

يستخدم المسجل أساسياً لتخزين وإزاحة البيانات المتكونة من أصفار وآحاد من مداخله إلى مخارجه.

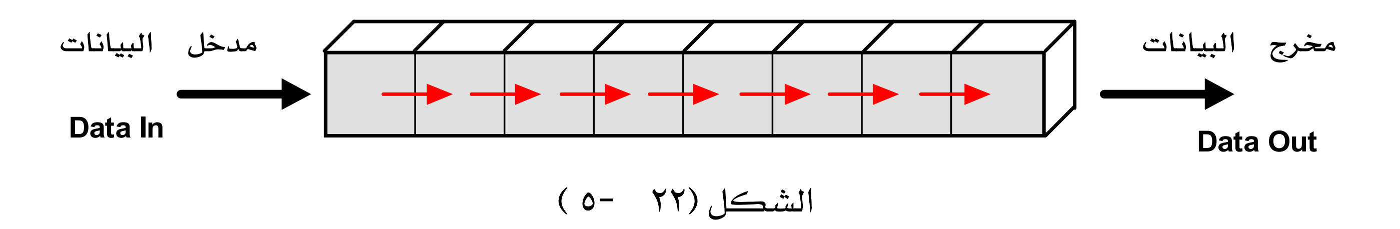
تتحقق عملية التخزين باستخدام قلاب من نوع D لتخزين البت 0 أو 1 ، ما هو موضح بالشكل (٢١ -٥)



الشكل (٢١ -٥)

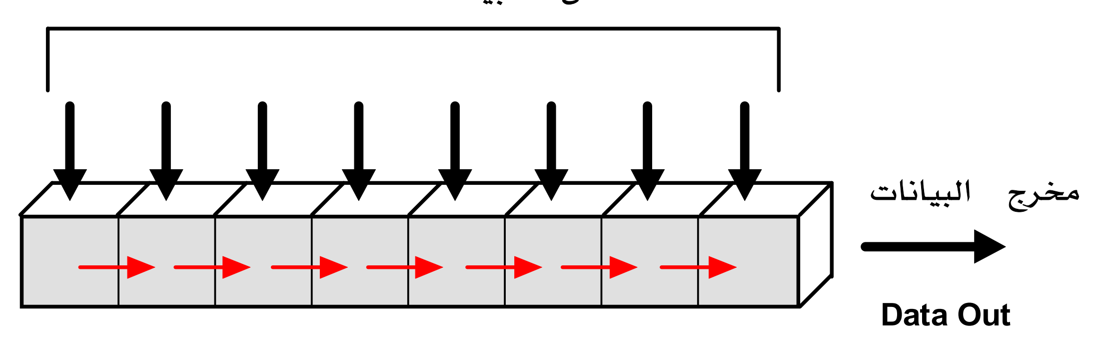
أما عملية الإزاحة فإنها تتحقق بوسائل مختلفة نذكر منها :

أ - إزاحة مع دخل توالي وخرج توالي للبيانات الشكل (٢٢ -٥).



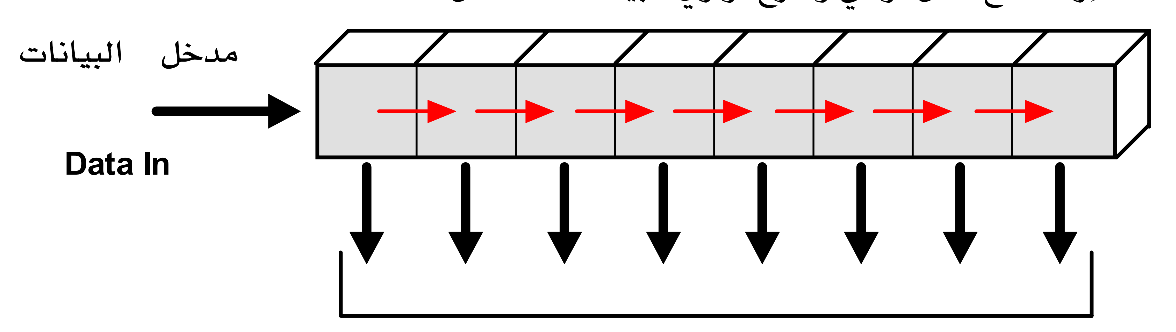
الشكل (٢٢ -٥)

ب - إزاحة مع دخل توازي وخرج توالي للبيانات الشكل (٢٣ - ٥).



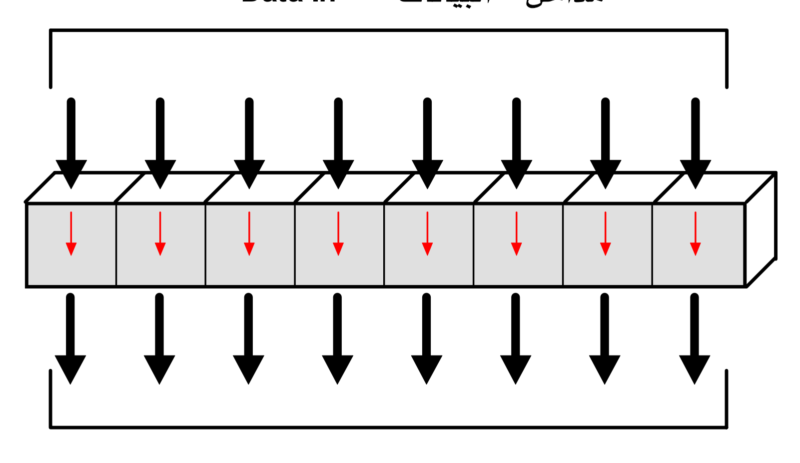
الشكل (٢٣ -٥)

ج - إزاحة مع دخل توالي وخرج توازي للبيانات الشكل (٢٤ - ٥).



الشكل (٢٤ -٥)

د - إزاحة مع دخل توازي وخرج توازي للبيانات الشكل (٢٥ -٥).



الشكل (٢٥ -٥)

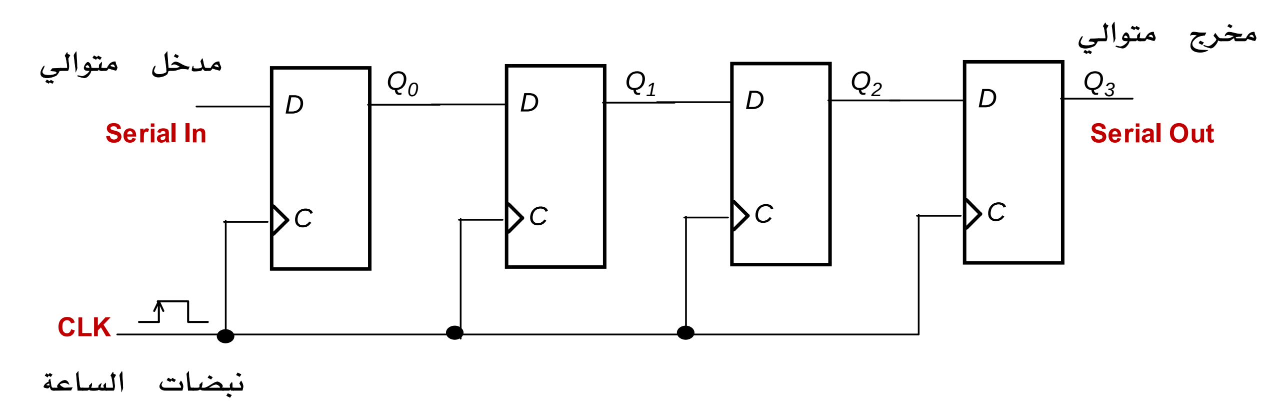
تتمثل سعة المسجل في عدد القلابات الذي يحتوي عليه المسجل وهذا ما يمثل أيضاً عدد بتات المسجل.

مسجلات ذات الدخل المتوالي والخرج المتوالي:

Serial in / Serial out Shift Registers

يستقبل مسجل الإزاحة ذو الدخل المتوالي والخرج المتوالي البيانات بصفة متتالية ما يعني بت واحد عند كل نبضة الساعة.Clock

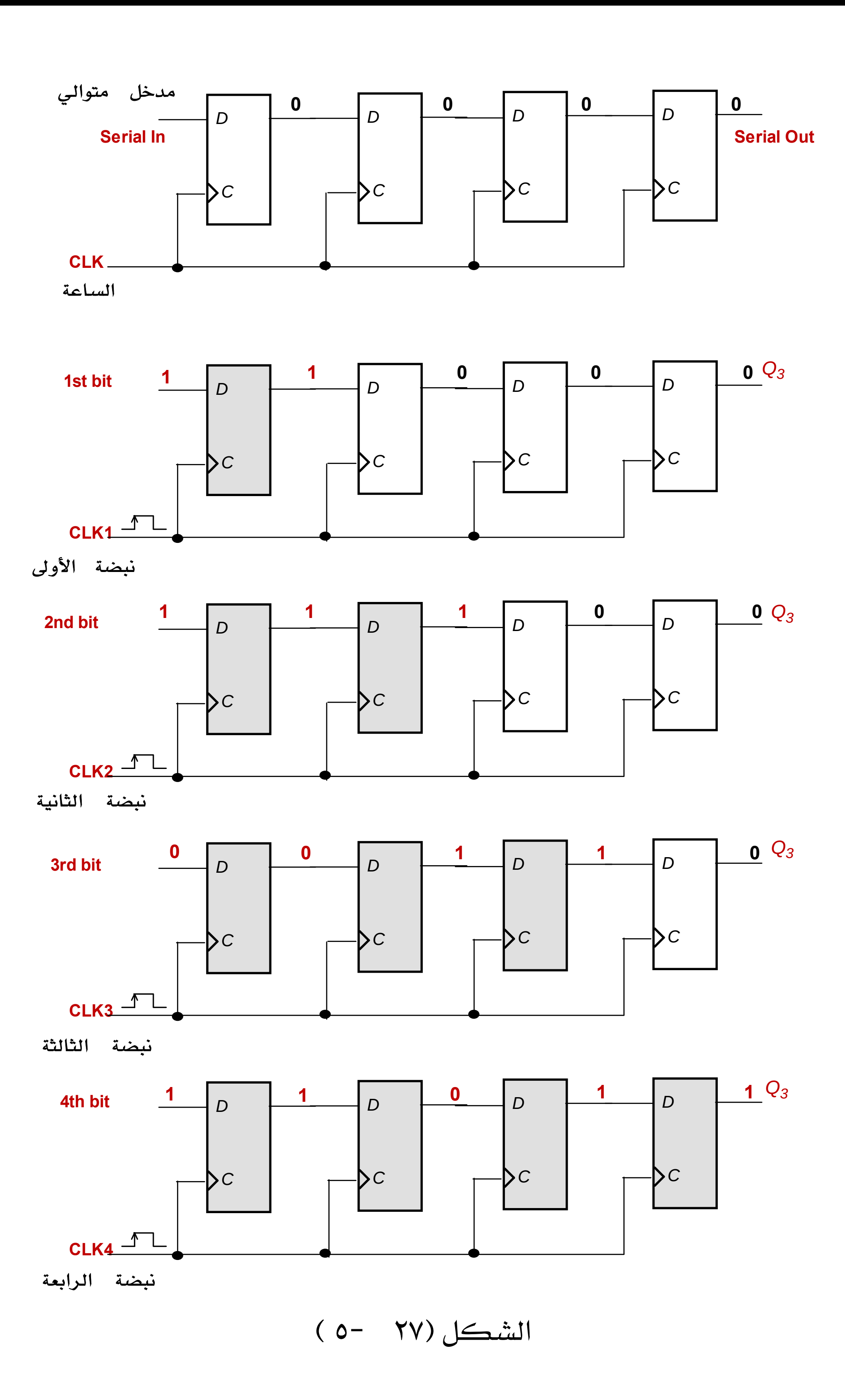
يوضح الشكل (٢٦ -٥) مسجل إزاحة يتكون من ٤ قلابات من نوع D ما يعني أنه قادراً على تخزين ٤ بتات من البيانات.



الشكل (٢٦ -٥)

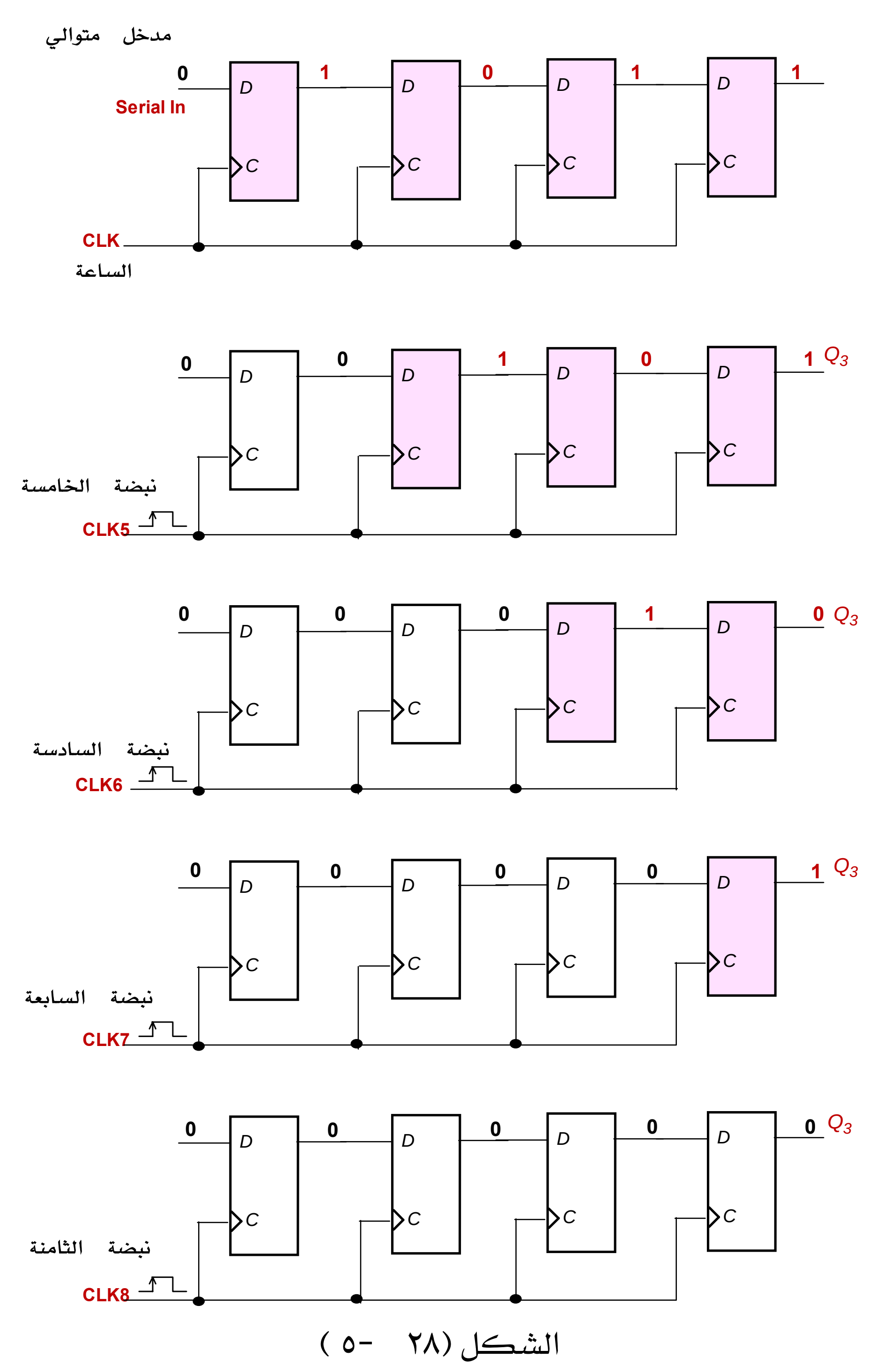
يوضح الشكل (٢٧ -٥) كيف تتم عملية إدخال بيانات تتكون من الأربعة بتات 1011 بصفة متتالية في المسجل وهذا خلال ٤ نبضات للساعة Clock (Clk_1, Clk_2,Clk_3 و Clk_4)

.


مدخل متوالي
Serial In
Serial Out
CLK
الساعة
1st bit
CLK1
نبضة الأولى
2nd bit
CLK2
نبضة الثانية
3rd bit
CLK3
نبضة الثالثة
4th bit
CLK4
نبضة الرابعة
D
C
Q_3

الشكل (٢٧ -٥)

كما يوضح الشكل (٢٨ -٥) عملية إخراج البيانات 1011 بصفة متتالية وتواجدها على مخرج المسجل خلال 4 نبضات للساعة Clock (Clk_7, Clk_6, Clk_5 و Clk_8).



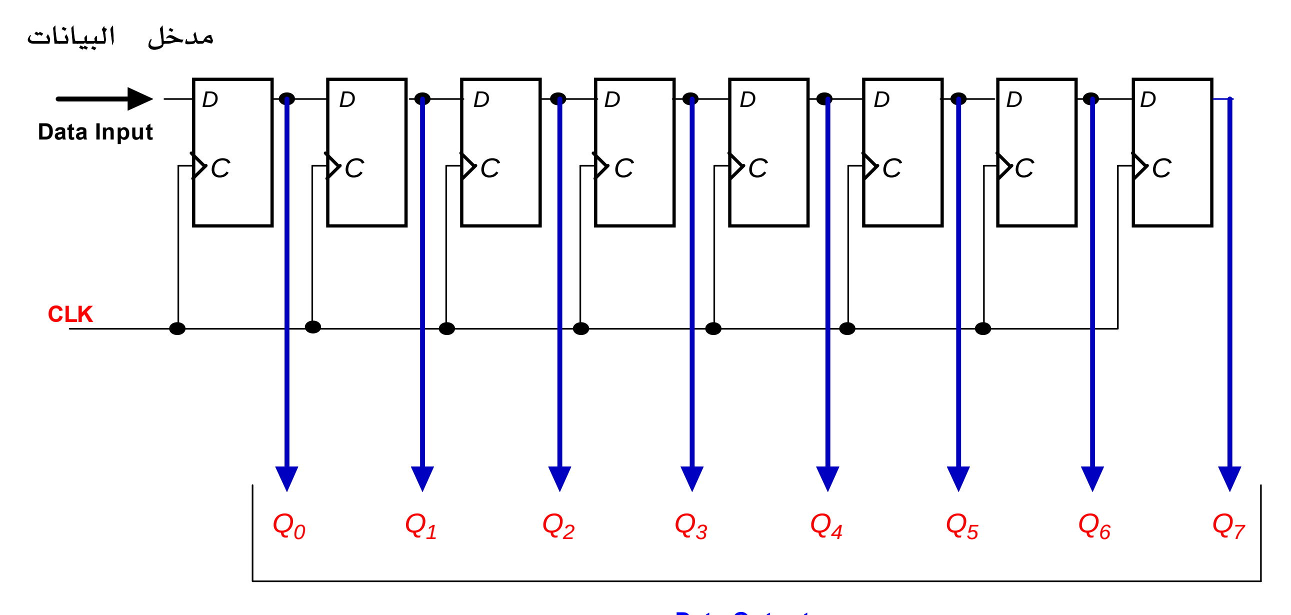
الشكل (٢٨ -٥)

مسجلات ذات الدخل المتتالي والخرج المتوازي:

Serial in / Parallel out Shift Registers

يحتوي مسجل الإزاحة ذو الدخل المتتالي والخرج المتوازي على مدخل واحد للبيانات وعدد من المخارج التي من خلالها تكون البيانات فيها متواجدة بصفة متوازية وهذا من خلال أي نبضة من نبضات الساعة.

يوضح الشكل (٢٩ -٥) مسجل إزاحة يحتوي على دخل واحد للبيانات D و ثمانية مخارج Q_0, Q_1, Q_2, Q_3, Q_4, Q_5, Q_6, Q_7 .



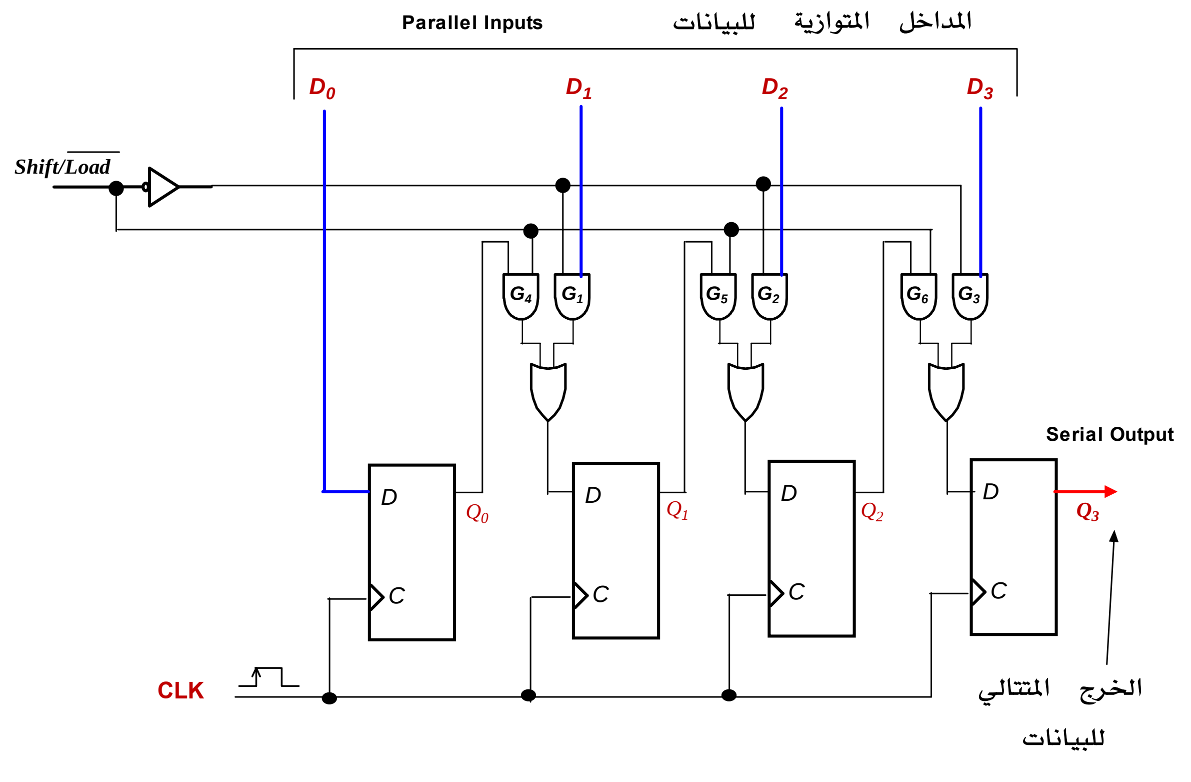
الشكل (٢٩ -٥)

مسجلات ذات الدخل المتوازي والخرج المتتالي:

Parallel in / Serial out Shift Registers

يحتوي هذا النوع من المسجلات على عدد من المداخل المتتالية ومخرج واحد. تدخل البيانات في هذا المسجل في نفس الوقت من خلال نبضة تحميل المسجل Load , بعدها يمكننا إخراج البيانات بت بعد بت خلال عدد نبضات الساعة يساوي عدد القلابات الذي يحتوي عليه المسجل.

يوضح الشكل (٣٠ -٥) نوع من هذه المسجلات الذي يحتوي على أربعة مداخل للبيانات متوازية D_0، D_1، D_2 و D_3 و مخرج متتالي واحد Q_3.



الشكل (٣٠ - ٥)

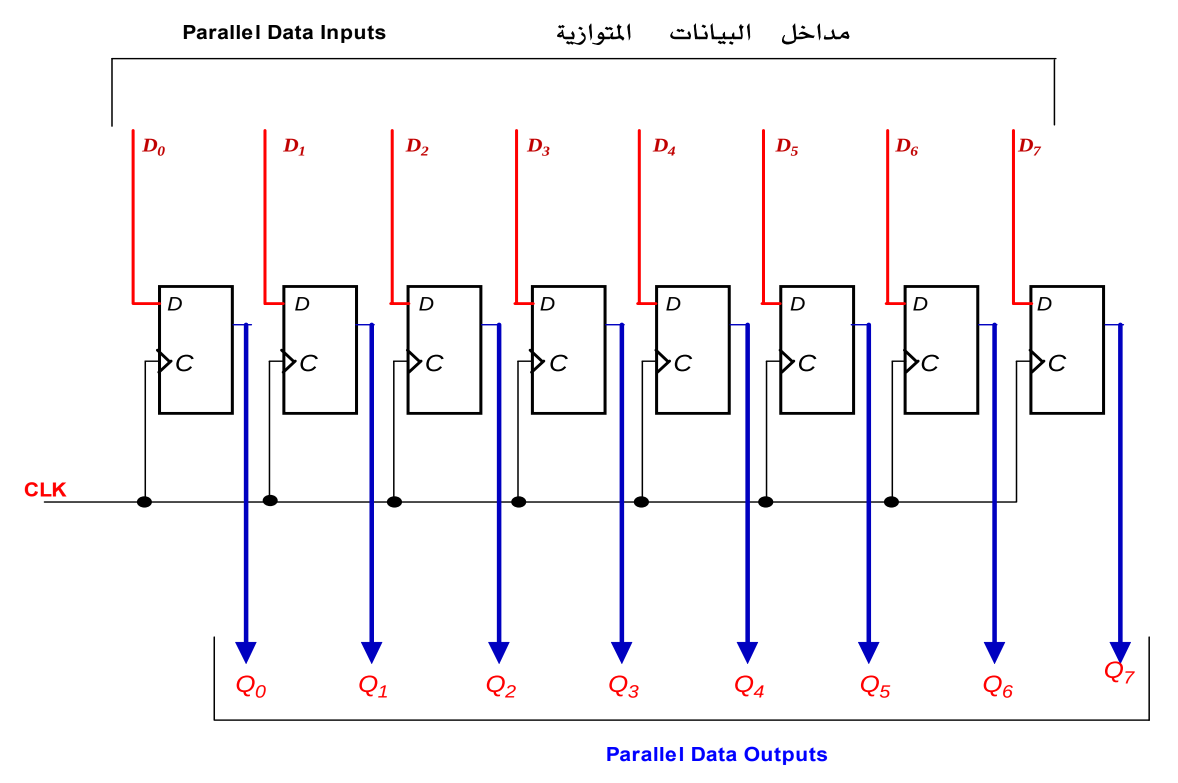
مسجلات ذات الدخل المتوازي والخرج المتوازي:

Parallel in / Parallel out Shift Registers

يحتوي هذا النوع من المسجلات على عدد من المداخل التي من خلالها يتم إدخال البيانات وفي وقت واحد خلال نبضة التحميل Load بصفة متوازية وعدد من المخارج التي من خلالها يتم إظهار البيانات المُخزنة في المسجل والتي كان تم إدخالها عبر المداخل المتوازية.

يوضح الشكل (٣١ -٥) مسجل يحتوي على ثمانية مداخل المتوازية ($D_0, D_1, D_2, D_3, D_4, D_5$, D_6, D_7) و ثمانية مخارج متوازية ($Q_0, Q_1, Q_2, Q_3, Q_4, Q_5, Q_6, Q_7$).

نرى هنا أن خلال نبضة واحدة للساعة يتم إدخال وتخزين و إظهار البيانات على المخارج بصفة متوازية وفي نفس اللحظة.



الشكل (٣١ -٥)

مسجلات ذات اتجاهين للإزاحة :

Bidirectional Shift Registers

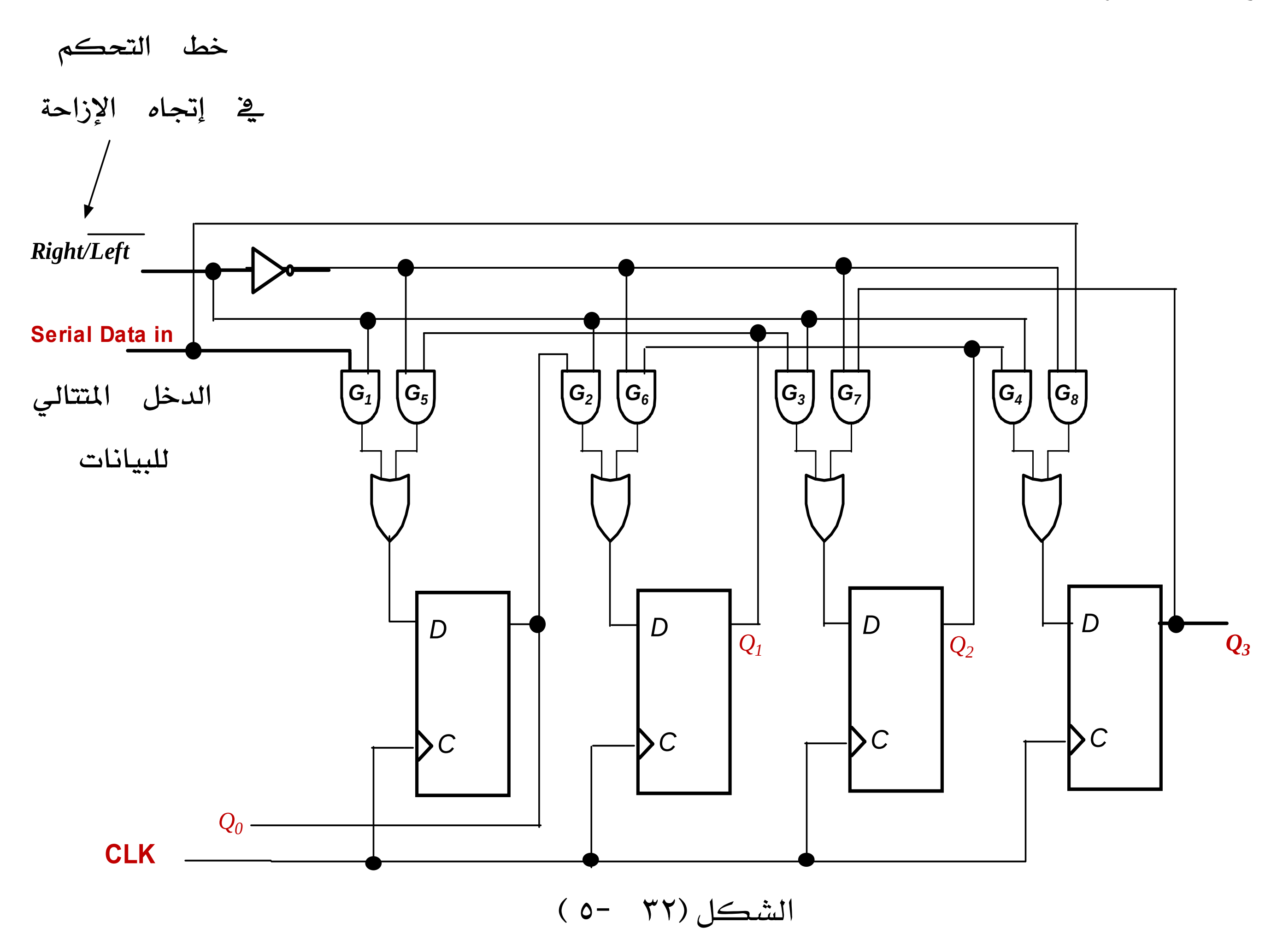
يعتبر مسجل الإزاحة ذو اتجاهين من المسجلات التي لها إمكانية إزاحة البيانات إلى اليمين أو إلى اليسار وهذا باستخدام بوابات منطقية تتحكم في اتجاه الإزاحة.

يوضح الشكل (٣٢ -٥) مسجل إزاحة سعته أربعة بتات والذي يعمل على النحو التالي:

عندما يكون خط التحكم $Right/\overline{Left}$ على المستوى High تتحقق عملية إزاحة البيانات لليمين وعندما يكون هذا الخط على المستوى Low فإنه يحقق عملية الإزاحة لليسار.

لأن قيمة $Right/\overline{Left} = 1$ تؤدي إلى تمكين البوابات G_1, G_2, G_3, G_4 ما يؤدي إلى توصيل أي خرج قلاب بالدخل الذي يليه أو يتبعه وعند حدوث أي نبضة للساعة Clock تتم عملية إزاحة البيانات بخانة واحدة لليمين.

أما قيمة $Right/\overline{Left} = 0$ فإنها تؤدي إلى تمكين البوابات G_5, G_6, G_7, G_8 ما يؤدي إلى توصيل أي خرج قلاب بالدخل الذي يسبقه وعند حدوث أي نبضة للساعة Clock تتم عملية إزاحة البيانات بخانة واحدة لليسار.



الشكل (٣٢ -٥)

ثالثا :دوائر الذاكرة

تستخدم دوائر الذاكرة لتخزين الكميات الكبيرة من البيانات. تحتاج أجهزة الكمبيوتر لتخزين الكميات الكبيرة من البيانات الثنائية وهذا بصفة مستمرة أو شبه مستمرة.

يحتاج تشغيل الأنظمة المبنية على المعالج الدقيق على دوائر الذاكرة وهذا لحاجة تخزين البرامج والاحتفاظ بالبيانات خلال عملية المعالجة.

أساس ذاكرة أشباه الموصلات

الذاكرة هي جزء النظام المخصص لتخزين البيانات الثنائية. تحتوي ذاكرة أشباه الموصلات على مصفوفة تتكون من خلايا يتم فيها تخزين المعلومات.

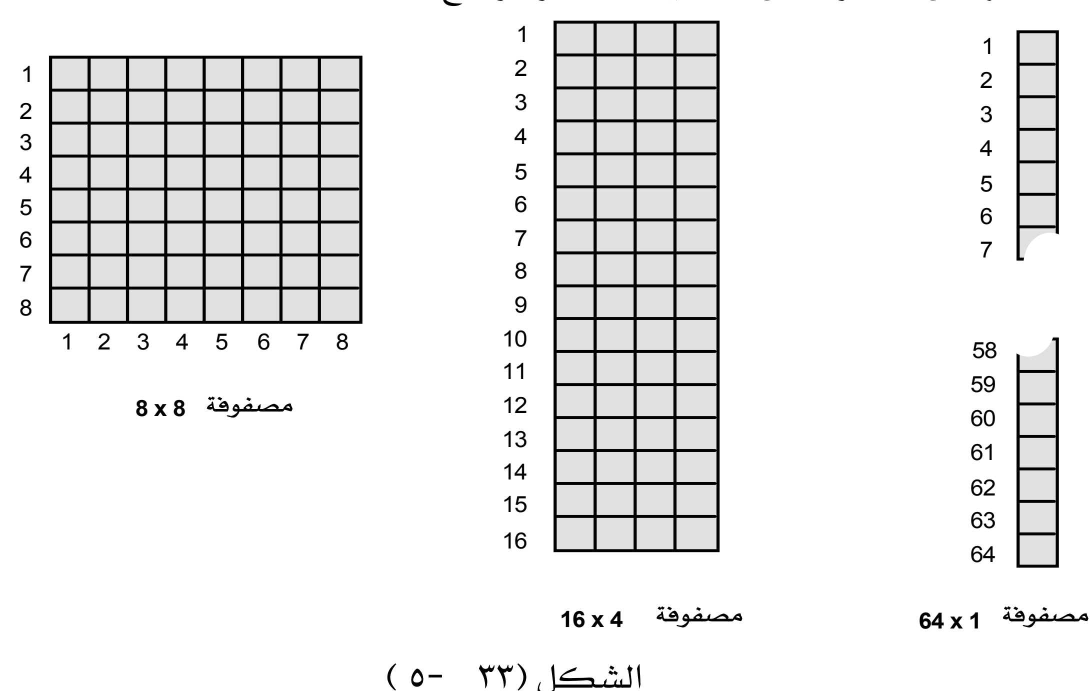
إن أساس خلية الذاكرة هي وحدة قلاب بإمكانها تخزين وحدة معلومات تحتوي على بت واحد.

تخزن الذاكرة البيانات في وحدات تتراوح بين بت واحد وثمانية بتات. البت هو أصغر وحدة للبيانات الثنائية.

يتكون البايت Byte من مجموعة ثمانية بتات. Nibble هو وحدة تتكون من أربعة بتات. الكلمة Word هي وحدة كاملة للمعلومات والتي غالباً ما تتكون من بايت أو أكثر.

تستطيع كل خلية في الذاكرة من الاحتفاظ ببت واحد قيمته 0 أو 1.

تتكون الذاكرة من مصفوفة من الخلايا كما هو موضح في الشكل (٣٣ -٥).



الشكل (٣٣ -٥)

من خلال الشكل نلاحظ أنه بإمكاننا تمثيل مصفوفة الخلايا بصفات مختلفة. بإمكاننا النظر إلى الذاكرة وكأن سعتها 8 بايت أو 16 Nibble أو 64 بت.

تتميز الذاكرة بعدد الكلمات التي تستطيع تخزينها مضروب في حجم الكلمة, فمثلاً باستطاعة ذاكرة (8 ×1k) تخزين 1024 كلمة حجم كل واحدة منها 8 بت , كما تستطيع ذاكرة (8 ×8k) من تخزين 8192 كلمة حجم كل واحدة منها 8 بت.

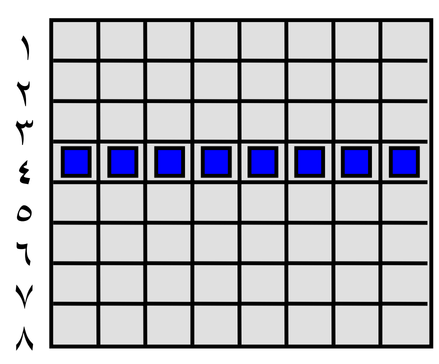
نلاحظ أن 1kيعادل ثنائياً 1024 و 8k يعادل 8192 لأن في الحقيقة يكون عدد الكلمات دائماً قوى للعدد 2.

$2^{10} = 2024$ و $2^{13} = 8192$

عنوان وسعة الذاكرة

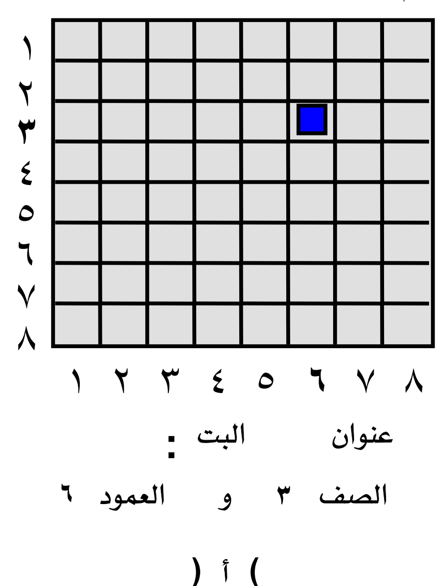
العنوان هو موقع وحدة البيانات في مصفوفة الذاكرة. ففي الشكل (أ٣٤ -٥) يتحدد عنوان البت في الذاكرة برقم الصف والعمود والذي هو في نفس الوقت تقاطع الصف مع العمود.

أما في الشكل (ب٣٤ - ٥) فإن عنوان البايت فهو محدد برقم الصف فقط.



عنوان البايت : الصف ٤

(ب)



عنوان البت :
الصف ٣ و العمود ٦

(أ)

الشكل (٣٤ -٥)

لذلك نلاحظ أن العنوان متعلق بكيفية تنظيم وحدات البيانات في الذاكرة. فمثلاً في أجهزة الكمبيوتر الشخصية تكون الذاكرة مبنية ومنظمة على البايتات مما يعني أن أصغر مجموعة بتات ممكن عنونتها هي 8.

سعة الذاكرة هي عدد وحدة البيانات الممكن تخزينها. فحسب تنظيم الشكل (ب٣٤ -٥) تكون السعة

8 بايت وحسب تنظيم الشكل (أ٣٤ -٥) فإذا السعة 64 بت.

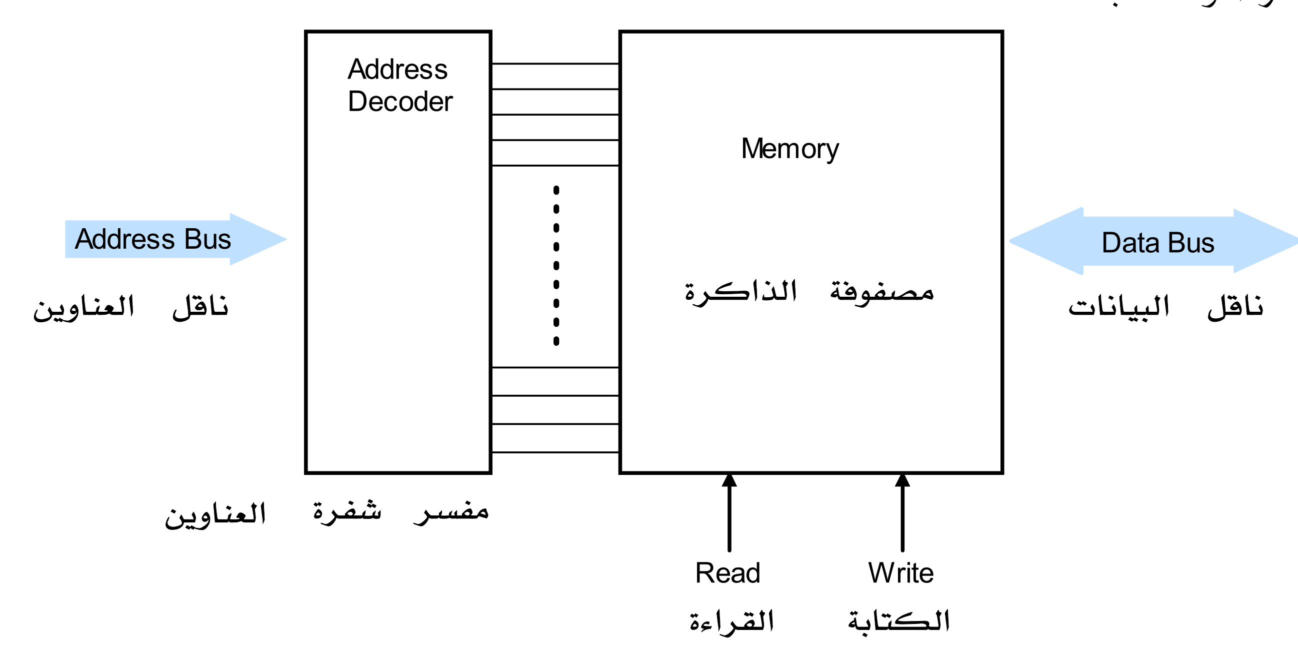
مبدأ تشغيل الذاكرة

تحتوي عملية الكتابة Write على وضع البيانات في عنوان معين في الذاكرة وتحتوي عملية القراءة Read على أخذ البيانات من عنوان معين في الذاكرة.

في خلال عملية الكتابة تدخل وحدات البيانات إلى الذاكرة وخلال عملية القراءة فإنها تخرج من الذاكرة.

وتتم عملية الدخول والخروج عبر مجموعة من الخطوط تسمى ناقل البيانات Data Bus.

يوضح الشكل (٣٥ -٥) ناقل البيانات باتجاهين مما يعني أن البيانات تنتقل في كلا الاتجاهين خلال القراءة والكتابة.



الشكل (٣٥ - ٥)

في حالة تنظيم الذاكرة حسب الشكل (٣٤ب -٥) يعني على أساس البايت فإن ناقل البيانات يتكون من 8 خطوط من خلالها يتم تحويل البيانات بصفة متوازية.

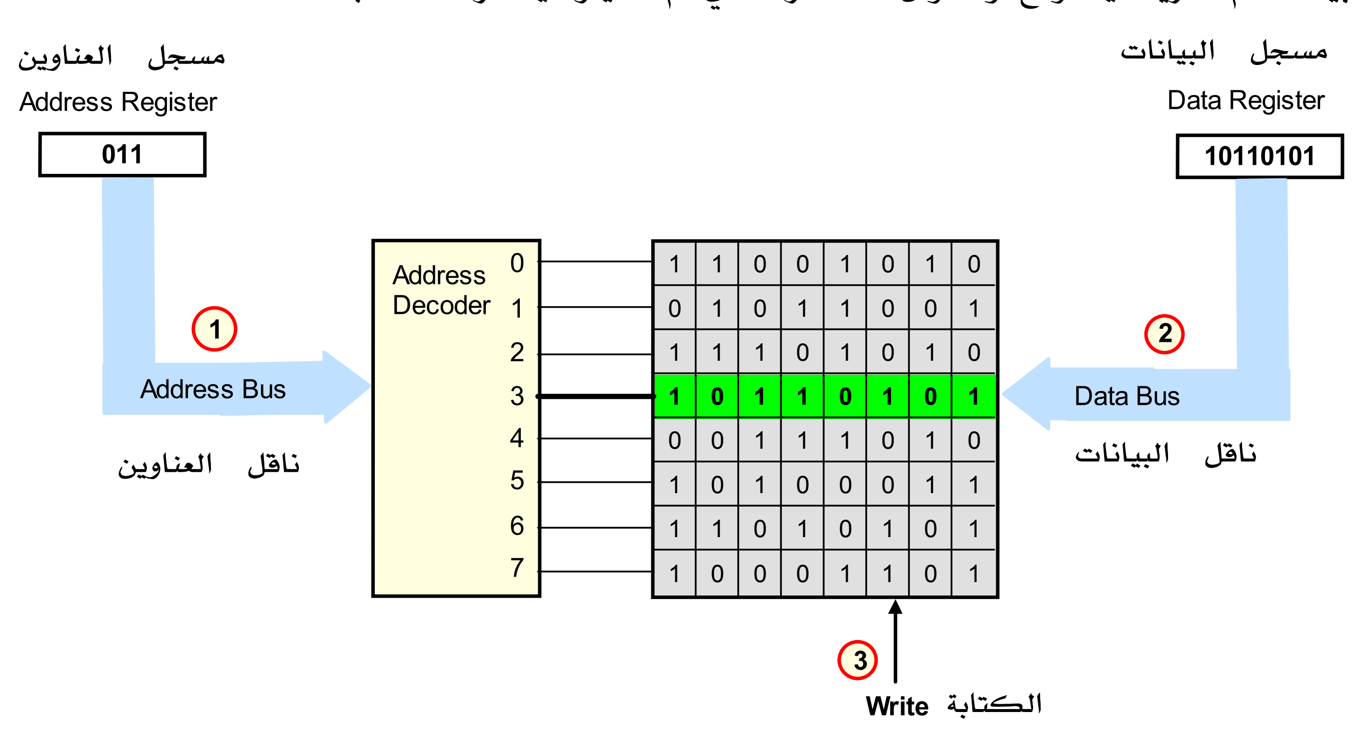
ففي خلال عملية القراءة أو الكتابة يتم اختيار عنوان بوضع شفرة ثنائية تمثل العنوان المقصود على مجموعة من الخطوط تسمى ناقل العنوان Address Bus. يتم اختيار العنوان بعد فك تشفيره.

يتعلق عدد خطوط العناوين بسعة الذاكرة, بإمكاننا اختيار 65536 عنوان إذا كان عدد خطوط العناوين يتألف من 16 خط وبإمكاننا الحصول على 4294967296 موقع أو عنوان في ذاكرة إذا كان عدد خطوط العناوين يساوي32.

سوف نرى الآن كيف تتم عملية الكتابة على والذاكرة و القراءة منها.

عملية الكتابة

يوضح الشكل (٣٧ -٥) عملية الكتابة على الذاكرة. يستلزم تخزين بايت من البيانات في الذاكرة استخدام شفرة موجودة في مسجل العناوين ومن بعد وضعها على ناقل العناوين. بعدها يقوم مفك الشفرة Decoder من فك شفرة العنوان واختيار العنوان أو الموقع المناسب في الذاكرة بعدها تتلقى الذاكرة أمر للكتابة, مما يؤدي إلى الحصول على بايت المعلومات الموجودة في مسجل البيانات ووضعه على ناقل البيانات ثم تخزينه في موقع أو عنوان الذاكرة الذي تم اختياره في المرحلة السابقة.



1 وضع العنوان 011 على ناقل العناوين ثم اختيار العنوان 3

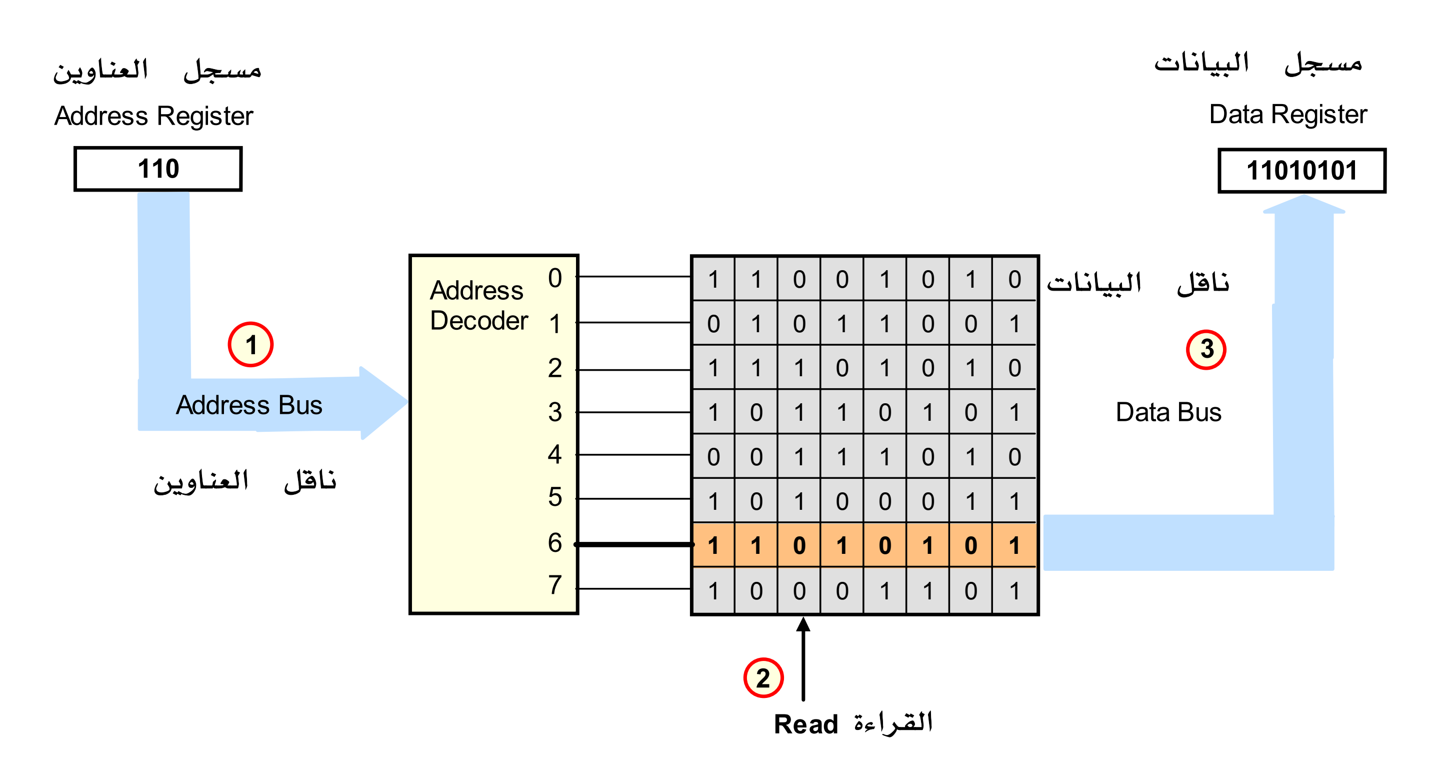
2 وضع البيانات على ناقل البيانات

3 تخزين البيانات بأمر الكتابة

الشكل (٣٧ -٥)

عملية القراءة

يوضح الشكل (٣٨ -٥) عملية قراءة بايت من الذاكرة. يقوم النظام بوضع الشفرة الموجودة في مسجل العناوين على ناقل العناوين بعدها يتم فك تشفير العنوان واختيار الموقع أو العنوان المناسب للذاكرة. بعدها تتلقى الذاكرة أمر للقراءة مما يؤدي إلى الحصول على نسخة من بايت البيانات المخزن في العنوان السابق اختياره ثم وضعه على ناقل البيانات وأخيراً تحميله في مسجل البيانات لقراءتها.



1 وضع العنوان 110 على ناقل العناوين ثـم اختيار العنوان 6

2 تنفيذ أمر القراءة

3 وضع البيانات على ناقل البيانات و تحويلها الى مسجل البيانات

الشكل (٣٨ - ٥)

الأنواع الرئيسة للذاكرة : ROM و RAM

تنقسم أنواع الذاكرة إلى فئتين رئيسيتين من أشباه الموصلات وهما :

الذاكرة العشوائية RAM و ذاكرة القراءة فقط ROM.

الذاكرة العشوائية RAM (Random Access Memories)

هي نوع من الذاكرة قابلة للكتابة والقراءة وفيها يتم اختيار العناوين عشوائياً أو في أي ترتيب سواء كانت عملية قراءة أو كتابة.

عندما ينقطع مصدر التغذية لهذا النوع من الذاكرة فإنها تفقد المعلومات المخزنة بها.

ذاكرة القراءة فقط ROM (Read Only Memories)

هي نوع من الذاكرة التي يتم فيها تخزين البيانات بصفة دائمة أو شبة دائمة. بامكاننا القراءة من ذاكرة ROM دون الكتابة عليها.

تحتفظ ذاكرة ROM بالبيانات المخزنة حتى ولو انقطع مصدر التغذية.

يندرج تحت هذا النوع من الذاكرة ذاكرة القراءة المبرمجةPROM (Programmable ROM) وذاكرة القراءة المبرمجة القابلة للمسح EPROM (Erasable PROM) وفيها يمكن مسح المعلومات التي بها وبرمجتها وإعادة مسحها وبرمجتها عدة مرات.

أنواع الذاكرة العشوائية RAM

تتقسم الذاكرة العشوائية RAM إلى فئتين وهما الذاكرة العشوائية الساكنة (Static RAM) SRAM والذاكرة العشوائية الديناميكية DRAM (Dynamic RAM) .

تستخدم ذاكرة SRAM قلابات كعناصر للتخزين لذا تبقى البيانات مخزنة طالما تواجد جهد التغذية.

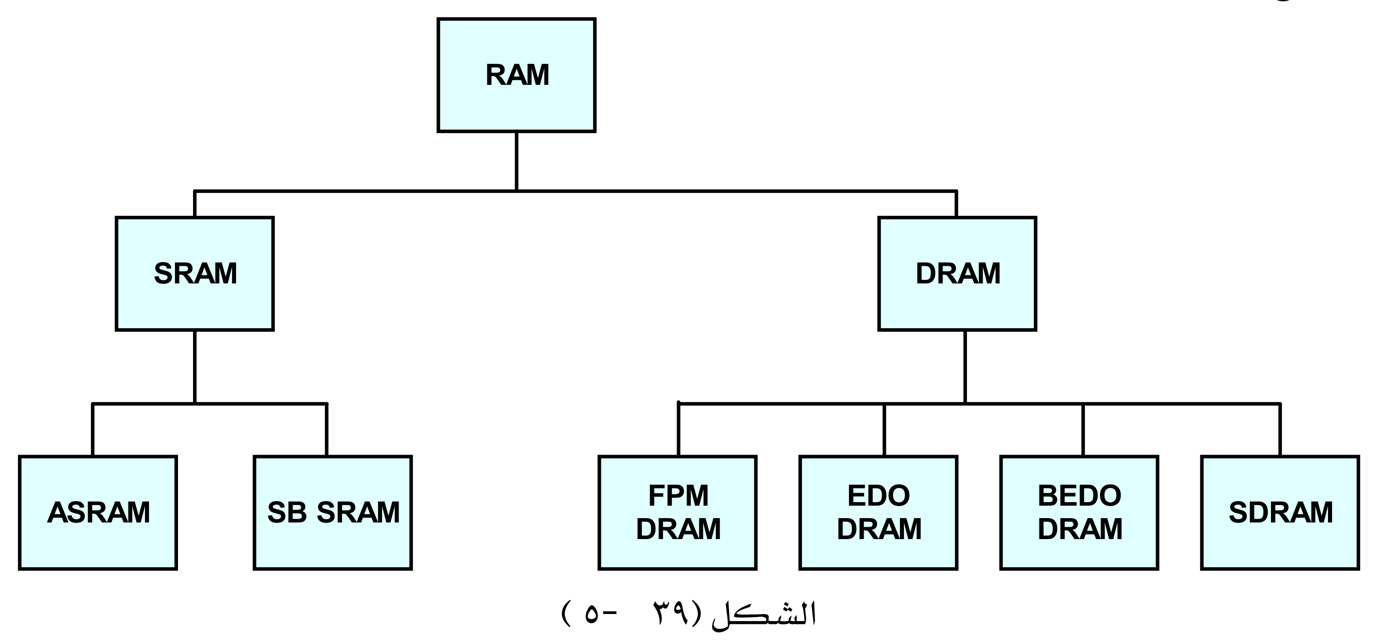
أما الذاكرة DRAM فإنها تستخدم مكثفات كعناصر للتخزين, لذلك فإنها لا تستطيع الاحتفاظ البيانات لمدة طويلة دون إعادة شحن المكثفات بآلية تسمى تحديث أو تجديد Freshing.

تتقسم ذاكرة SRAM على فئتين ذاكرة SRAM المتزامنة Synchronous SRAM وذاكرة SRAM غير المتزامنة Asynchronous SRAM .

أما فئات DRAM فهي:

(Fast Page Mode DRAM) FPM DRAM
, (Extended Data Out DRAM) EDO RAM
, (Burst Extended Data Out DRAM) BEDO RAM
و(Synchronous DRAM) SD RAM .

يوضح الشكل (٣٩ -٥) كل فئات الذاكرة العشوائية RAM.



الشكل (٣٩ -٥)

عنونة الذاكرة

العنونة هي عملية اختيار إحدى خلايا الذاكرة للكتابة عليها أو القراءة منها.

يتم تنظيم الذاكرة بوضع خلاياها في تنظيم مستطيلي بين الصفوف والأعمدة.

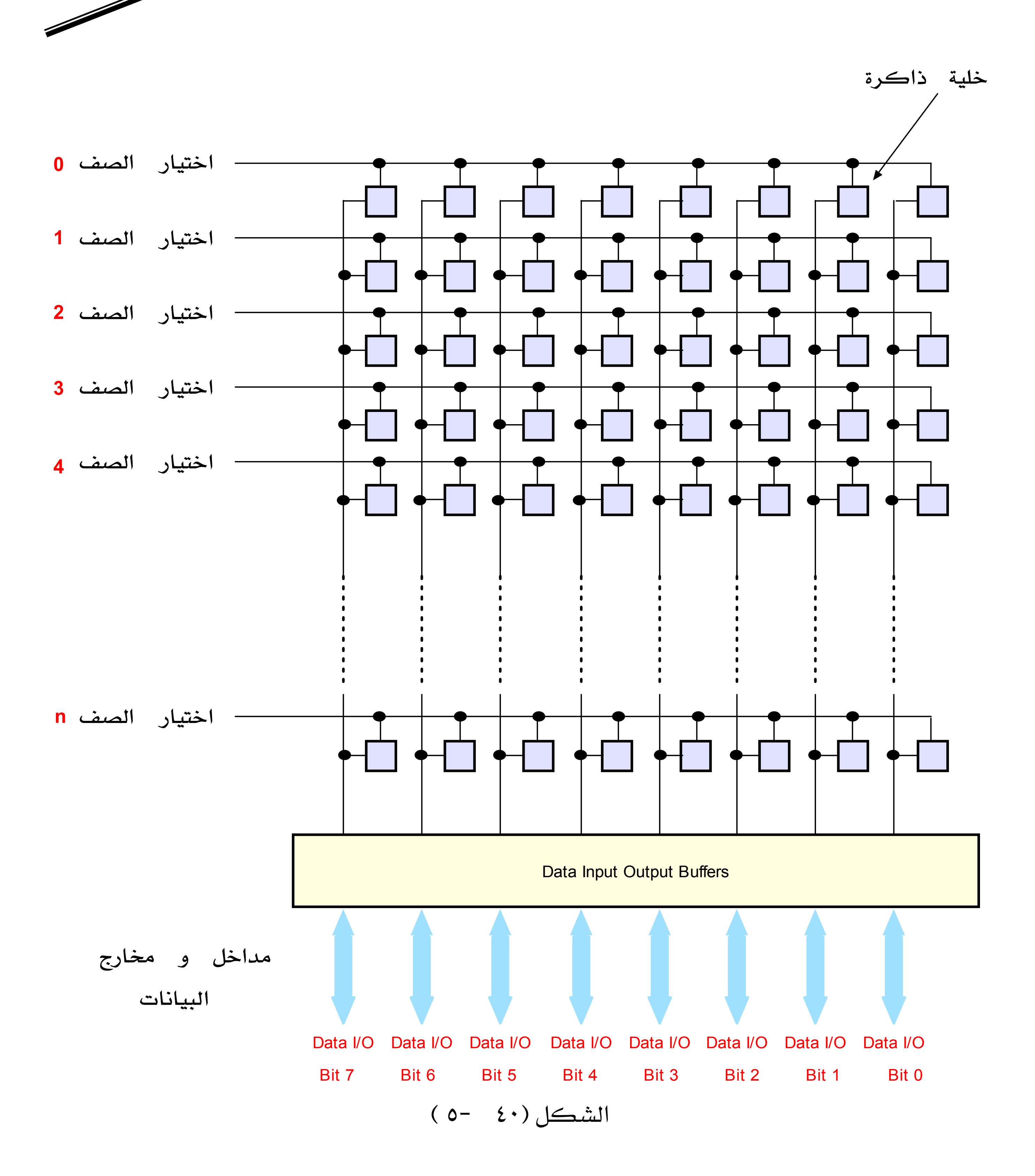
تقوم دوائر التحكم التي تصحب الذاكرة بتنشيط عنوان الذاكرة الذي نريد الكتابة عليه أو القراءة منه.

فمن خلال الشكل (٤٠ -٥) نلاحظ أن الذاكرة منظمة على شكل مصفوفة ذات 8 أعمدة وn صف.

تحتوي كل خلايا أي صف على نفس خط التحكم في اختيار الصف Row Select كل مجموعة من خطوط البيانات , والتي هي في حالتنا 8 خطوط ، تمر عبر كل خلية وتكون موصلة بخط واحد للبيانات Data I/O الذي يستخدم كمدخل ومخرج في حالة الكتابة أو القراءة من الذاكرة.

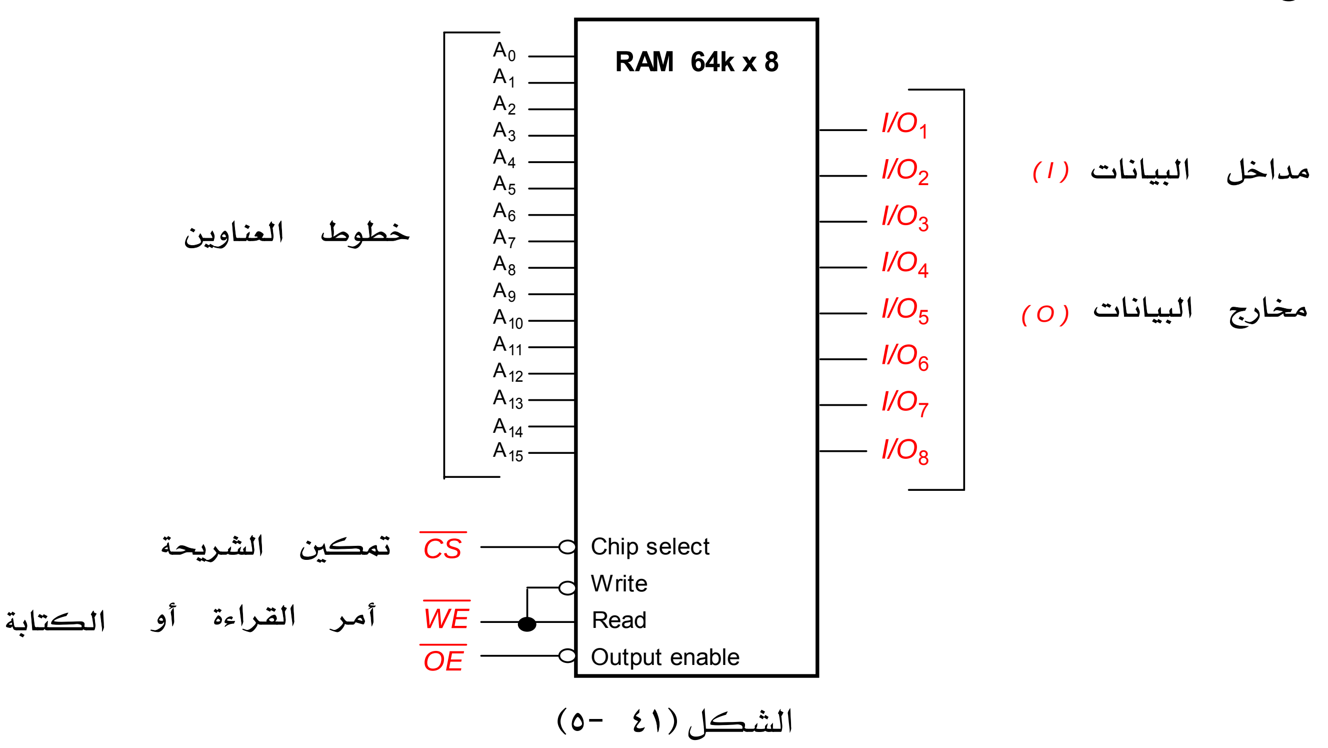
فلو أردنا تخزين وحدة بيانات والتي هي في حالتنا واحد بايت في أي واحد من صفوف هذه المصفوفة فما علينا إلا تنشيط عنوان الصف ثم أمر الكتابة مما يؤدي إلى وضع وتخزين كل من البتات الثمانية في الصف المختار.

أما في حالة قراءة وحدة البيانات, فإنه يتم تنشيط خط القراءة مما يؤدي إلى إظهار الثمانية بتات المخزنة في العنوان المختار وتحويلها إلى مسجل البيانات عبر مخرج خطوط البيانات.


خلية ذاكرة
اختيار الصف 0
اختيار الصف 1
اختيار الصف 2
اختيار الصف 3
اختيار الصف 4
اختيار الصف n
Data Input Output Buffers
مداخل و مخارج البيانات
Data I/O Bit 7
Data I/O Bit 6
Data I/O Bit 5
Data I/O Bit 4
Data I/O Bit 3
Data I/O Bit 2
Data I/O Bit 1
Data I/O Bit 0

الشكل (٤٠ -٥)

يوضح الشكل (٤١ -٥) شريحة ذاكرة سعتها $64k \times 8$.



الشكل (٤١ -٥)

في حالة القراءة , يتم اختيار وتنشيط عنوان من بين 65536 عنوان الذي تحتوي عليه الشريحة, بعدها يتم إخراج وإظهار الثمانية بتات المخزنة في هذا العنوان عبر خطوط مخارج البيانات O_1 O_2 O_3 O_4 O_5 O_6 $O_7 O_8$.

أما في حالة الكتابة, فإنه يتم التخزين في العنوان المختار للثمانية بتات التي تظهر على خطوط مداخل البيانات I_1 I_2 I_3 I_4 I_5 I_6 $I_7 I_8$.

ذاكرة القراءة فقط ROM

تقوم ذاكرة القراءة ROM بتخزين البيانات بصفة دائمة أو شبه دائمة. تدل البيانات المخزنة في ذاكرة ROM على عمليات ذات استخدام متكرر في أنظمة التطبيقات , مثل الجداول أو الأوامر مبرمجة الضرورية في أي عملية بدء التشغيل للأنظمة كدور Bios خلال إقلاع جهاز الكمبيوتر.

تحتفظ ذاكرة القراءة ROM بالبيانات حتى ولو انقطع جهد التغذية.

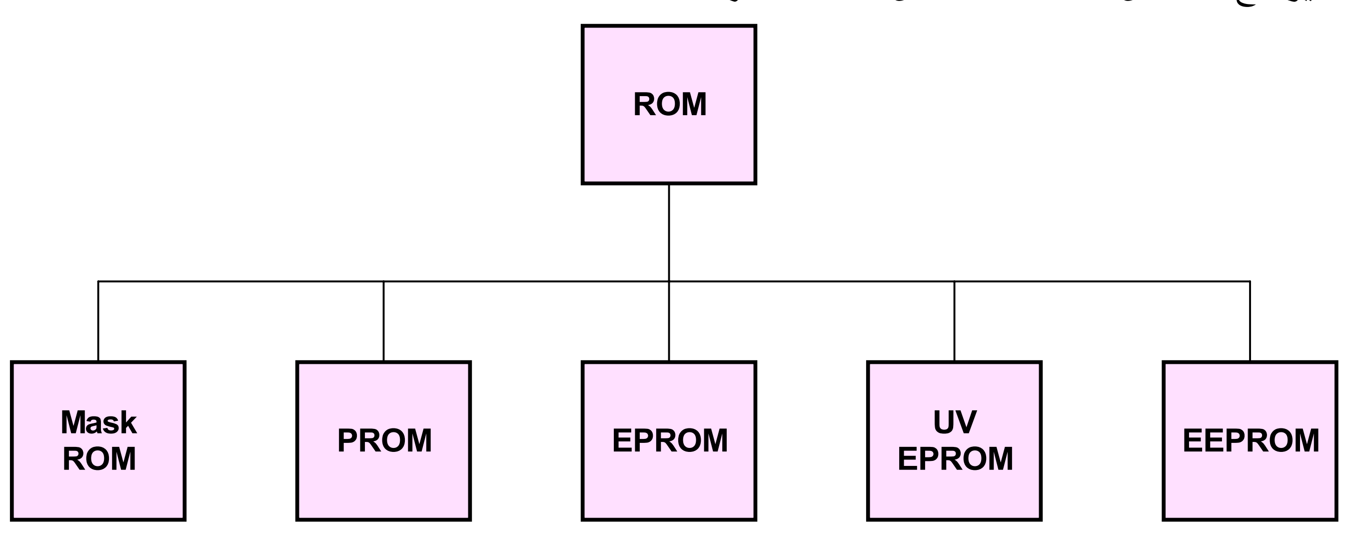
أنواع ذاكرة القراءة فقط ROM

تنقسم ذاكرة القراءة فقط ROM إلى عدة فئات نذكر منها:

- ذاكرة القراءة ذات قناع ROM Mask
- ذاكرة القراءة المبرمجة PROM (Programmable ROM)

- ذاكرة القراءة المبرمجة القابلة للمسح EPROM (Erasable PROM)
- ذاكرة القراءة المبرمجة القابلة للمسح فوق البنفسجية UV EPROM))
- وذاكرة القراءة المبرمجة القابلة للمسح كهربائياً EEPROM (Electrically EPROM)

يوضح الشكل (٤٢ -٥) كل فئات ذاكرة ROM .



الشكل (٤٢ - ٥)

الذاكرة ذات القناع هي الذاكرة التي تكون فيها البيانات مخزنة بصفة دائمة , تتم عملية التخزين خلال التصنيع.

ذاكرة PROM هي الذاكرة التي تخزن فيها البيانات كهربائياً من قبل المستخدم بواسطة أدوات خاصة.

ذاكرة EPROM هي ذاكرة قائمة أساساً على شبه الموصل المعدني الأكسيدي MOS.

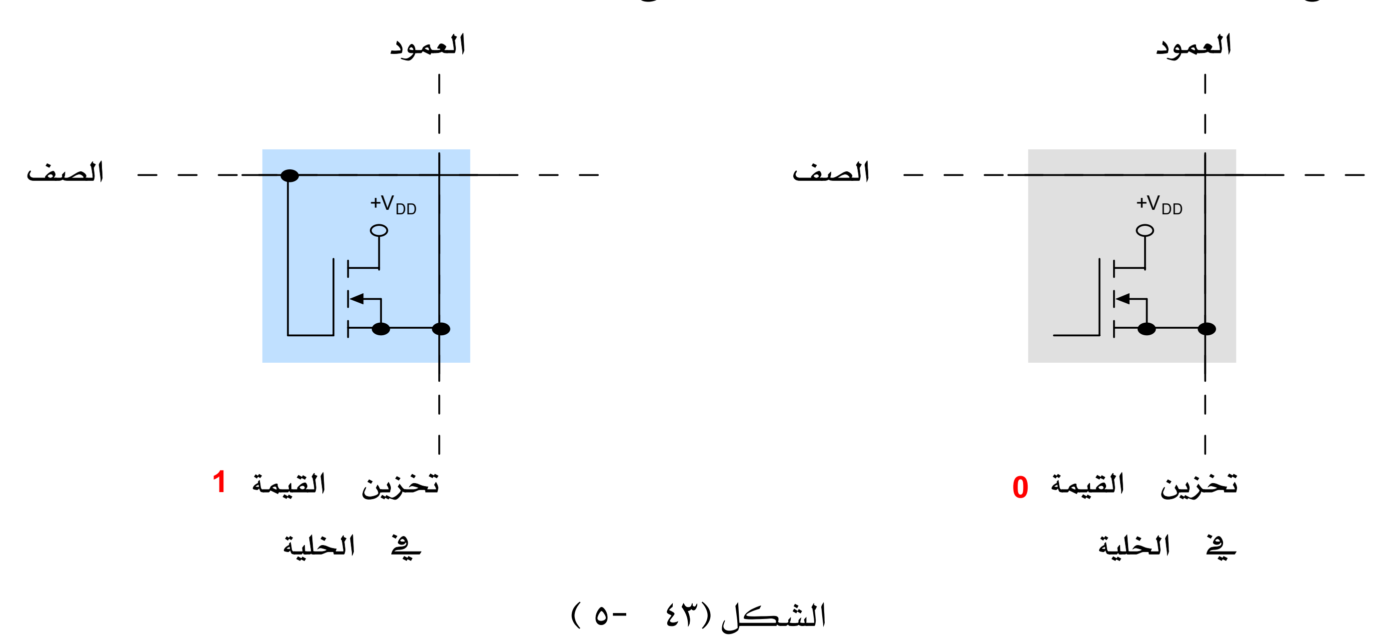
ذاكرة UV EPROM هي نوع من الذاكرة القابلة للبرمجة كهربائياً من قبل المستخدم. تتم عملية مسح البيانات المخزنة بعرض الذاكرة لإشارة ضوئية فوق بنفسجية لزمن مقداره بضع دقائق.

أما ذاكرة EEPROM فهي ذاكرة قابلة للمسح في خلال بضع ميللي ثانية.

من الضروري معرفة المكونات الأساسية لشريحة ذاكرة ROM قبل الشروع في معرفة الآلية التي بواسطتها تتم عملية تخزين البيانات أو برمجة ROM بصفة دائمة خلال التصنيع.

تستخدم أغلب شرائح ROM وجود أو عدم وجود توصيلة ترانزستور في تقاطع صف مع عمود , ما يؤدي إلى تخزين 1 أو 0.

يوضح الشكل (٤٣ - ٥) خلايا ذاكرة ROM من نوع MOS.



الشكل (٤٣ -٥)

إن وجود توصيلة من أي صف إلى بوابة Gate الترانزستور تمثل 1 في هذا الموقع أو الخلية لأنه عندما يكون خط الصف على المستوى High يؤدي إلى وضع الترانزستور ذو البوابة الموصلة بخط الصف في حالة ON ما يعني البت 1. وعندما لا تكون بوابة الترانزستور موصلة بخط الصف فإنه لا يوصل ويكون في حالة OFF ما يعني البت 0.

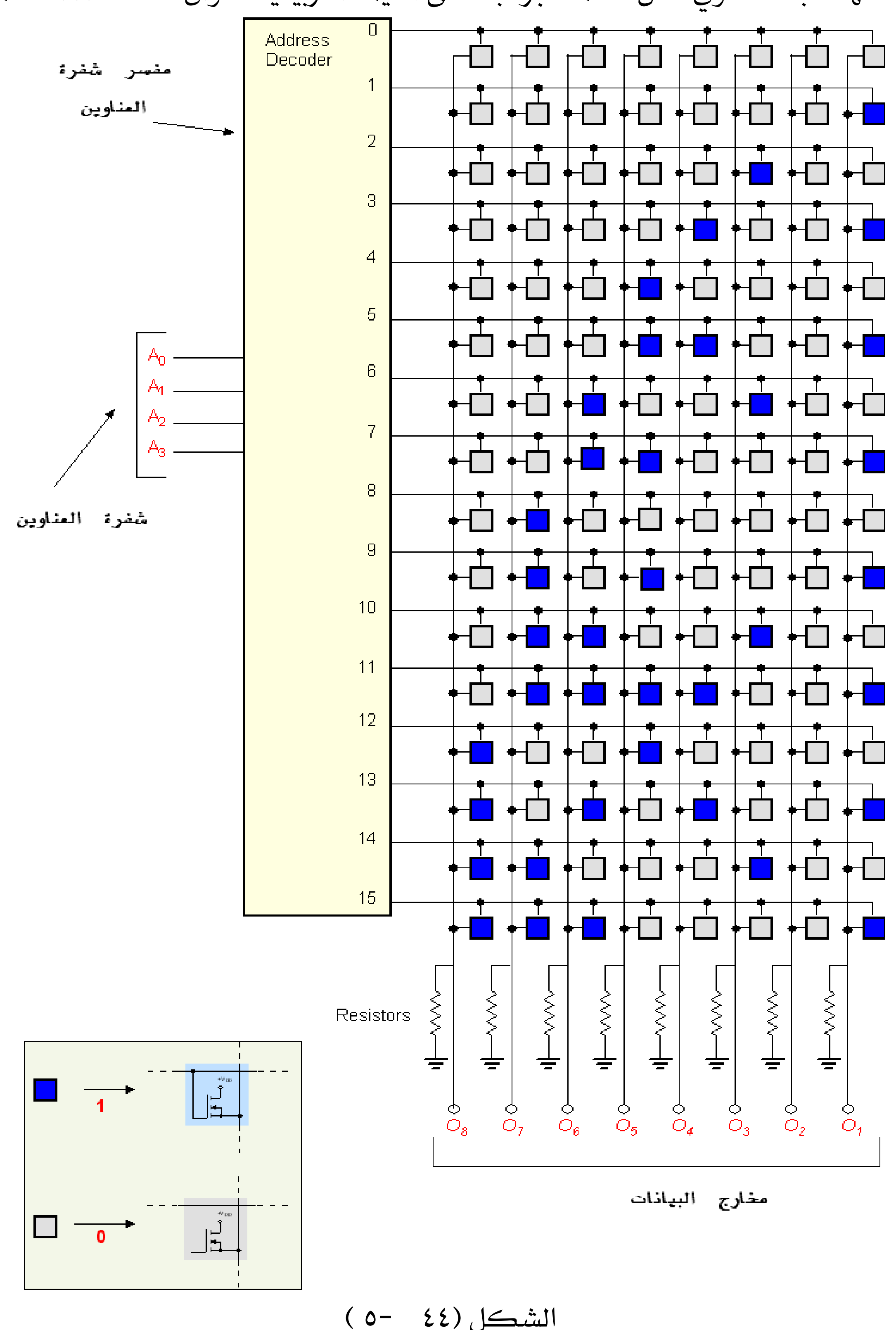
لنفترض أننا نريد برمجة شريحة من نوع ROM تؤدي عملية أس 2 أو تربيع ما يعني أن محتوى أي موقع يساوي عنوان الخلية أس 2 أو

(محتوى الذاكرة في العنوان n) = (عنوان الصف n)^2

لتحقيق ذلك مما علينا إلا توصيل بوابة Gate الترانزستور بخط الصف المنشط أو العنوان المختار لغرض تخزين البت 1 وعدم توصيل بوابته لتخزين البت 0.

لأنه كون الترانزستور في حالة ON يؤدي إلى وجود جهد قيمته 5V على طرف المقاومة الموجودة على العمود المناسب مما يعني 1 وكونه في حالة OFF يؤدي إلى جهد قيمته 0V على طرف المقاومة مما يعني 0.

يوضح الشكل (٤٤ -٥) ذاكرة ROM سعتها 16 بايت أو 128 بت قادرة على تخزين 16 كلمة طول كل واحدة منها 8 بت. تحتوي كل كلمة مبرمجة على القيمة التربيعية لعنوان صف هذه الكلمة.

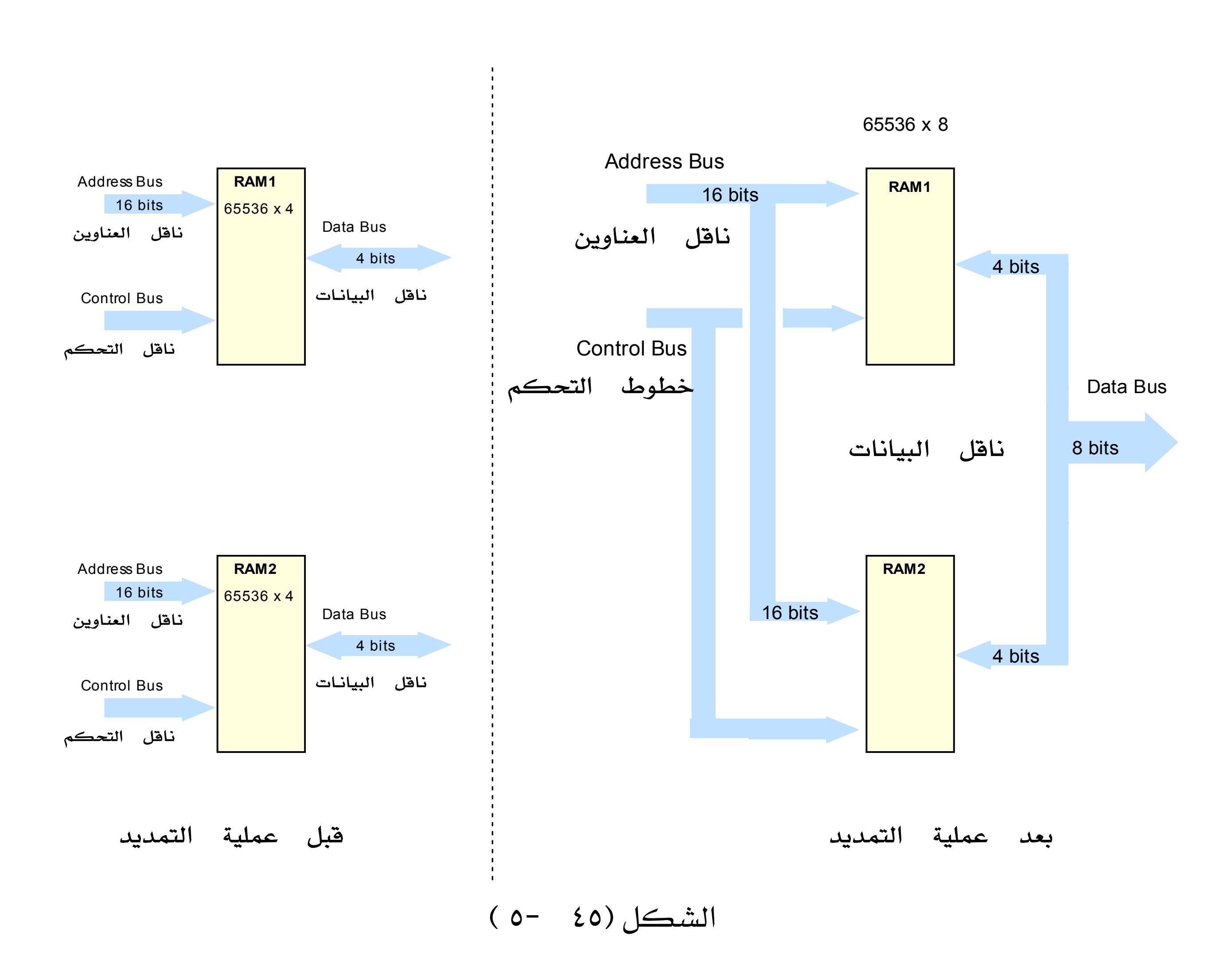


الشكل (٤٤ -٥)

تمديد الذاكرة Memory Expansion

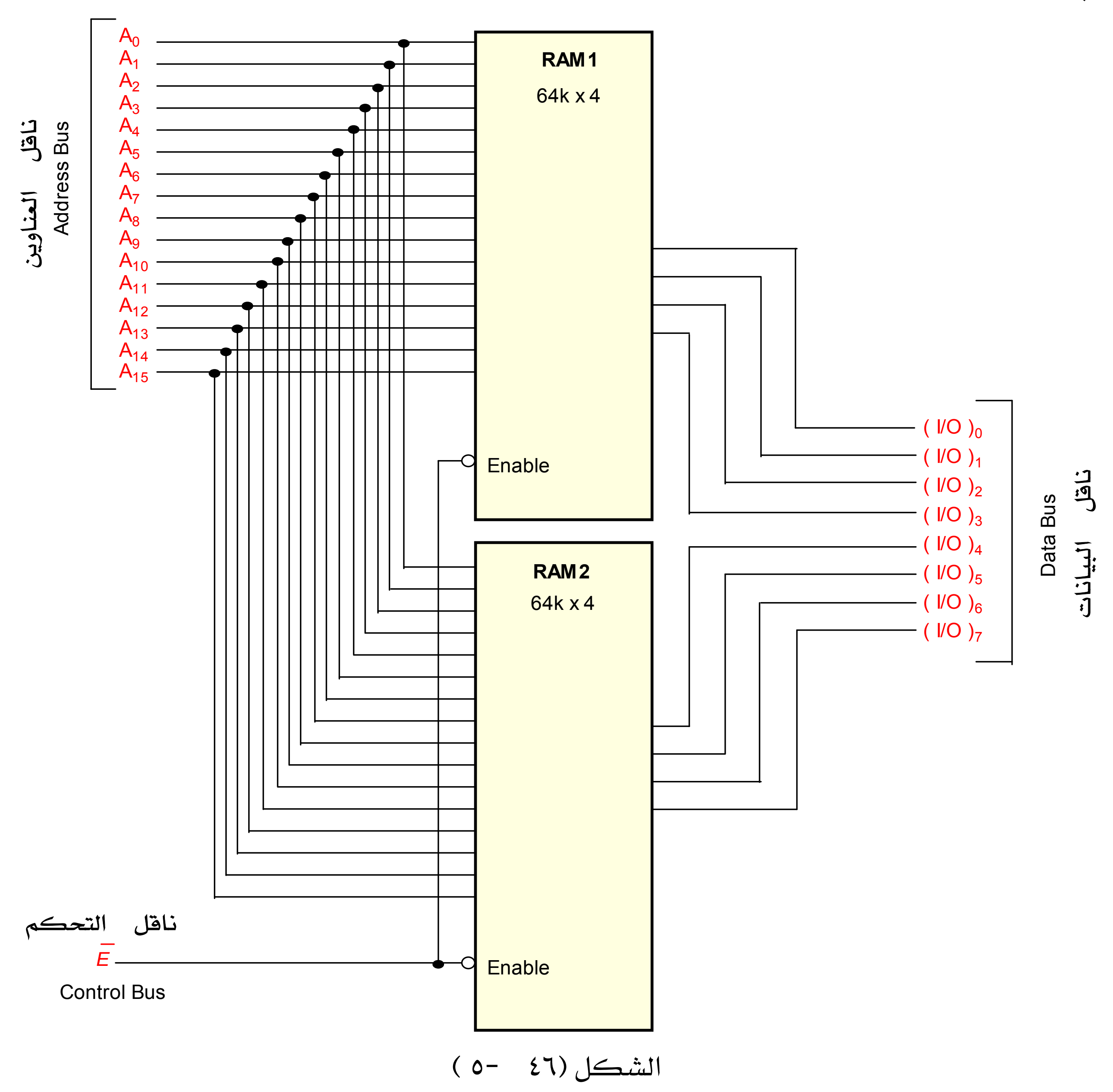
بامكاننا تمديد الذاكرة لتكبير طول الكلمة والذي هو عدد البتات في كل عنوان أو تكبير سعة الذاكرة والذي هو عدد العناوين. تتم عملية التمديد بإضافة شرائح وتوصيلها مع بعضها بصفة معينة.

يوضح الشكل (٤٥ -٥) كيف يتم تمديد ذاكرة سعتها (64k× 4) يعني 65536 عنوان يحتوي كل واحد منه على كلمة طولها 8 بت وهذا باستخدام شريحتين طول كل كلمة فيها 4 بت على النحو الموضح في الشكل.



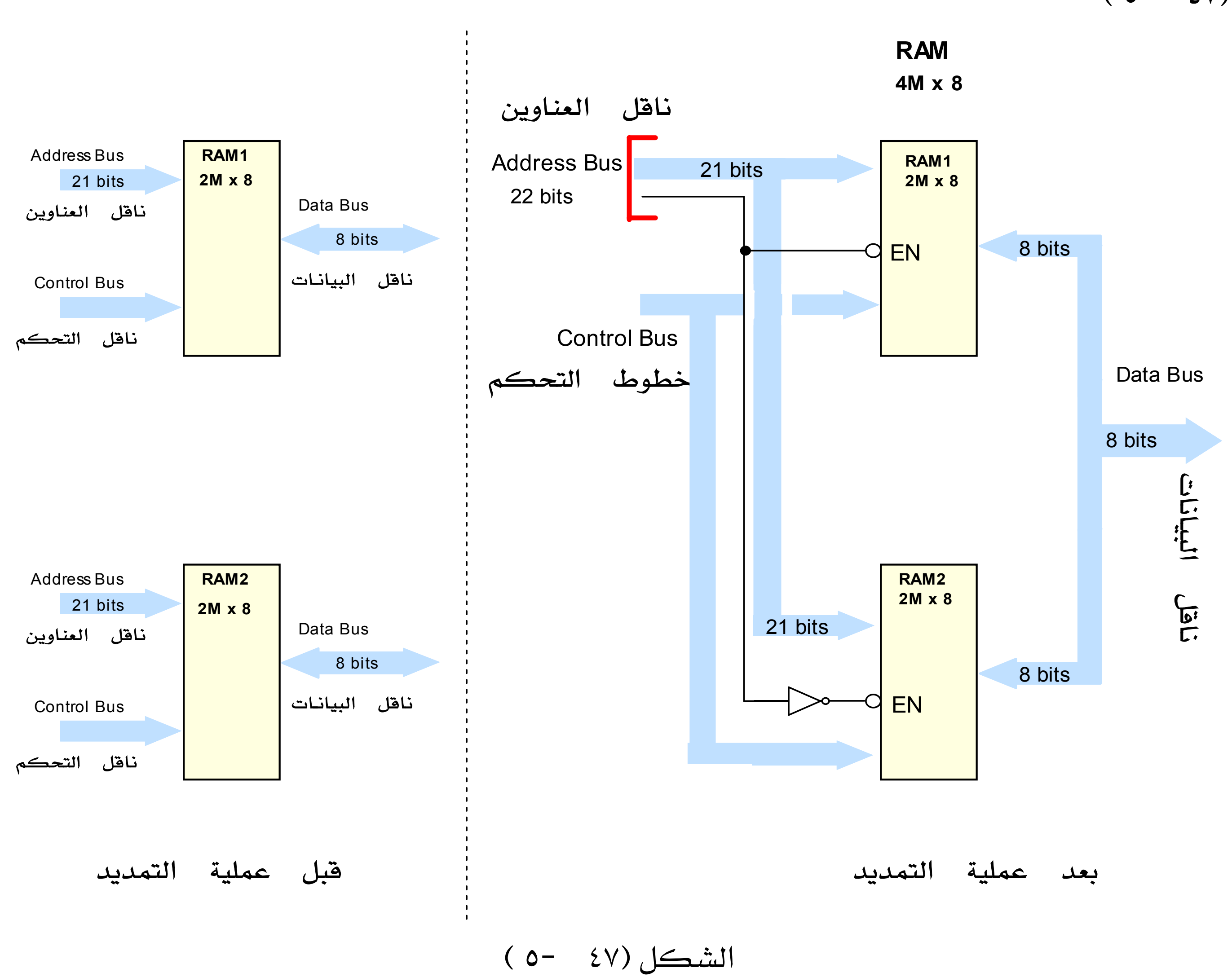
الشكل (٤٥ -٥)

يعطي الشكل (٤٦ -٥) أكثر وضوح لهذه العملية. احتجنا إلى 16 خط لناقل العناوين لأن $2^{16}=65536$ وإذا أردنا تمديد الكلمة إلى طول مقداره 16 بت فعلينا استخدام 4 شرائح طول كل كلمة واحدة منها 4 بت.



الشكل (٤٦ -٥)

لتمديد سعة الذاكرة على طريقة تكبير عدد العناوين فعلينا توصيل الشرائح كما هو موضح بالشكل (٤٧ -٥)



الشكل (٤٧ -٥)

نلاحظ في الشكل كيف يتم الحصول على ذاكرة سعتها ٤ ميجا بايت من خلال شريحتين سعة كل واحدة منها ٢ ميجا بايت.

تحتاج العملية إلى استخدام خط عنوان إضافي لناقل العناوين وتحويله من 21 خط (2^{21}=2.097152) إلى 22 خط (2^{22}=4194304) .

يقوم الخط ٢2 في ناقل العناوين باختيار وعنونة ٢ ميجا بايت الأولى عندما تكون قيمته 0 (مدخل EN الذاكرة الأولى Low) وعنونة ٢ ميجا بايت الثانية عندما تكون قيمته 1 (مدخل EN الذاكرة الثانية Low).

اختبار ذاتي

العدادات

١. ما هو الفرق بين عداد متزامن وعداد غير متزامن؟
٢. ماذا نعني بمعامل العداد Modulus ؟
٣. ما هو معامل عداد ذو خمس بتات أو يتكون من ٥ قلابات؟
٤. ما هو عدد القلابات الذي يحتوي عليه عداد ذو معامل ١٨؟
٥. ماذا نعني بعداد BCD؟
٦. ما هو معامل العداد الذي يتكون من ٤عدادات معامل كل واحد منهم ١٠؟
٧. قم بتصميم عداد تصاعدي غير متزامن معامله ٢٣؟
٨. قم بتصميم عداد تنازلي غير متزامن معامله ١٣؟
٩. من أي أنواع الدوائر المنطقية تعتبر العدادات ؟
١٠. وضح الفرق بين العدادات المتزامنة والعدادات غير المتزامنة ؟
١١. صمم عداد تصاعدي غير متزامن ذو معامل (٨) باستخدام قلابات (J-K) مع كتابة جدول الحقيقة , ورسم الشكل الموجي للخرج ؟
١٢. صمم عداد تنازلي متزامن ذو معامل (٦) باستخدام قلابات (T) مع كتابة جدول الحقيقة , ورسم الشكل الموجي للخرج ؟

مسجلات الإزاحة
Shift Registers

١. ما هي العناصر الأساسية التي يتكون منها مسجل الإزاحة؟
٢. ما هو نوع المسجل الذي بإمكانه إزاحة البيانات إلى اليمين أو إلى اليسار؟
٣. ما هو عدد نبضات الساعة اللازم لإزاحة بصفة متتالية بايت من البيانات في مسجل الإزاحة؟
٤. ما هو عدد نبضات الساعة اللازم لإزاحة بصفة متوازية بايت من البيانات في مسجل الإزاحة؟
٥. يحتوي مسجل إزاحة لليمين ذو الدخل المتوازي والخرج المتتالي على البيانات التالية : 11001010 ما هي البيانات التي يحتوي عليها المسجل بعد مرور 3 نبضات للساعة؟
٦. نريد إدخال البيانات التالية 11001010 في مسجل إزاحة لليمين ذو الدخل المتتالي والخرج المتتالي. ما هي البيانات الذي يحتوي عليها المسجل بعد مرور٤ نبضات للساعة؟
٧. تم إدخال البيانات 11001010 بصفة متوازية في مسجل ذو الدخل المتوازي والخرج المتوازي.
ما هي البيانات المحصل عليها في الخرج بعد مرور 4 نبضات للساعة, علماً أنه تمت فيه إزاحة البيانات إلى اليسار.
٨. ماذا يحدُث في مسجل إزاحة ذو الدخل المتتالي والخرج المتتالي إذا وصلنا خرج المسجل بدخله؟

دوائر الذاكرة

١. ما هي سعة ذاكرة ذات 512 عنوان وقادرة على تخزين 8 بت في كل عنوان؟
٢. ما هو عداد البايتات التي تتكون منه كلمة طولها 32 بت
٣. ماذا يحدث لبيانات الذاكرة العشوائية عند انقطاع جهد التغذية؟
٤. ما هو عدد خطوط العناوين التي تحتوي عليه ذاكرة ذات 256 عنوان؟
٥. ما هو عدد العناوين الذي تحتوي عليه ذاكرة سعة ناقل عناوينها 24 ؟
٦. ما هي السعة بالبايت وبالبت لذاكرة عدد خطوط ناقل عناوينها 28 وقادرة على تخزين 4 بت في كل عنوان؟
٧. ما هي الوسائل المستخدمة لتمديد الذاكرة؟
٨. كيف يتم تمديد عدد مداخل ومخارج البيانات إلى 16 مدخل أو مخرج باستخدام شريحة ذاكرة ذات 4 مداخل ومخارج؟
٩. كيف يتم تمديد عدد العناوين إلى K٦٤ باستخدام شرائح ذاكرة ذات K٣٢



الدوائر الرقمية

المعالجات الدقيقة

المعالجات الدقيقة

٦

الجدارة:

أن يكون المتدرب قادراً على التعرف على نوع من أنواع المعالجات المستخدمة في أجهزة الحاسب من نوع IBM وهي معالجات إنتل. دراسة المعالج ٨٠٨٦ كنموذج لشرح المفاهيم الأساسية للمعالجات.

أهداف الوحدة:

أن يكون المتدرب بعد دراسة هذه الوحدة قادراً على :

- تعريف المعالج ومكوناته الأساسية.
- شرح وظيفة ALU ، وحدة السجل ووحدة التحكم.
- شرح ناقل العناوين وناقل البيانات وناقل التحكم.
- إيجاد حجم الذاكرة التي يمكن للمعالج الوصول إليها.
- تعريف لغة الآلة و لغة التجميع.
- معرفة مراحل تنفيذ برنامج بلغة التجميع.

مستوى الأداء المطلوب:

أن يصل المتدرب المتدرب إلى إتقان هذه الجدارة ٨٠ ٪.

الوقت المتوقع للتدريب:

ثمان حصص

الوسائل المساعدة:

دفتر و قلم.

متطلبات الوحدة:

اجتياز جميع الوحدات السابقة.

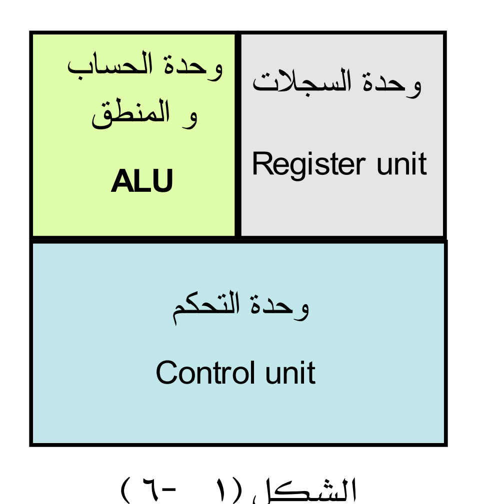
المعالج والحاسب:

الحاسب الذي تستعمله لتصفح الانترنت أو لقراءة وثيقة ما ، يستخدم معالج للقيام بهذا العمل. فالمعالج هو نواة الحاسب سوء حاسب مكتبي أو خادم شبكة أو جهاز حاسب محمول.

المعالج عبارة عن شريحة إلكترونية ، يُمكن برمجتها بسلسلة من التعليمات للقيام بمهام معينة على البيانات و أجهزة الدخل و الخرج. عند توصيل معالج مع ذاكرة باستخدام وسيط لنقل البيانات من وإلى المحيطات الخارجية نحصل على جهاز حاسب بسيط.

المكونات الأساسية للمعالج:

يتكون المعالج من ثلاث مكونات أساسية: وحدة الحساب والمنطق(Arithmetic and Logic Unit)، ALU و وحدة السجلات Registers Unit و وحدة التحكم Control Unit. الشكل (١ -٦) يبين الوحدات الرئيسة للمعالج بصورة عامة:



الشكل (١ -٦)

١. **وحدة الحساب والمنطق:**

تقوم هذه الوحدة بعمليات حسابية على البيانات مثل الجمع والطرح والضرب والقسمة وتقوم أيضاً بعمليات منطقية مثل NOT وAND وOR وXOR .

٢. **وحدة السجلات:**

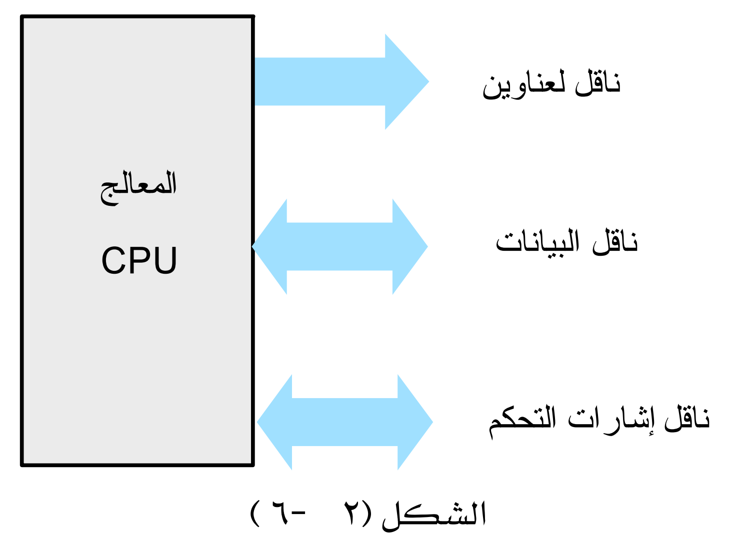
أثناء تنفيذ برنامج ما لسلسلة من التعليمات، تُخزن البيانات مؤقتاً في مجموعة من السجلات الداخلية التي تشكل هذه الوحدة. فهذه الوحدة تُستخدم إذن كذاكرة داخلية مؤقتة.

٣. وحدة التحكم:

تشكل هذه الوحدة عصب المعالج و ذلك بتنفيذ وظائف التوقيت والتحكم في الإشارات للحصول على البيانات من و إلى المعالج و القيام كذلك بتنفيذ التعليمات المبرمجة وجميع العمليات الأخرى.

٤. نواقل المعالج:

قياسياً، للمعالج ثلاث نواقل لتبادل المعلومات داخلياً وخارجاً كما هو مبين في الشكل (٢ -٦). هذه النواقل هي: ناقل العناوين و ناقل البيانات و ناقل التحكم.



الشكل (٢ -٦)

ناقل العناوين :

ناقل العناوين هو ناقل أحادي الاتجاه، من المعالج إلى الذاكرة أو محيط خارجي آخر. يستعمل المعالج ناقل العناوين لتعيين عناوين لأماكن مختلفة في الذاكرة أو منافذ الدخل و الخرج I/O و ذلك للقيام بنقل البيانات منها. حجم أو نطاق ناقل العناوين يرتبط بعدد الخطوط أو الخانات المستخدمة.

المعالجات القديمة لها ٤ خانات، ارتفع هذا الرقم إلى ٨ و١٦ و٢٠ و٣٢ مع تقدم تقنية صناعة المعالجات.

كلما زاد عدد خانات ناقل العناوين كلما زاد حجم الذاكرة التي بإمكان المعالج الوصول إليها.

باستخدام ١٦ خانة يمكن للمعالج الوصول إلى ٦٠٥٣٦ مكان في الذاكرة.

باستخدام ٣٢ خانة يمكن للمعالج الوصول إلى ٤,٢٩٥,٠٠٠,٠٠٠.

العلاقة التي تربط عدد خانات ناقل العناوين و عدد أماكن الذاكرة تتلخص في التالي:

$$M=2^n$$

M يمثل عدد أماكن الذاكرة

n يمثل عدد خانات ناقل العناوين.

مثال إذا كان عدد خانات ناقل البيانات ١٦ يمكن إذن الوصول إلى ٦٥٥٣٦=$٢^{١٦}$. فإذا كان ٦٤ خانة ١٨٤٤٦٧٤٤٠٧٣٧٠٩٥٥١٦١٦ =$٢^{٦٤}$.

ناقل البيانات:

يعتبر ناقل البيانات ناقل ذو اتجاهين حتى يتمكن من نقل البيانات والتعليمات من وحدة إلى أخرى. يمكن لناقل البيانات أن يحمل ٨ أو ١٦ أو ٣٢ أو ٦٤ خانة وهذا حسب نوع المعالج. كلما زاد عدد خانات ناقل البيانات كلما زاد أداء المعالج و سرعة تنفيذ البرامج.

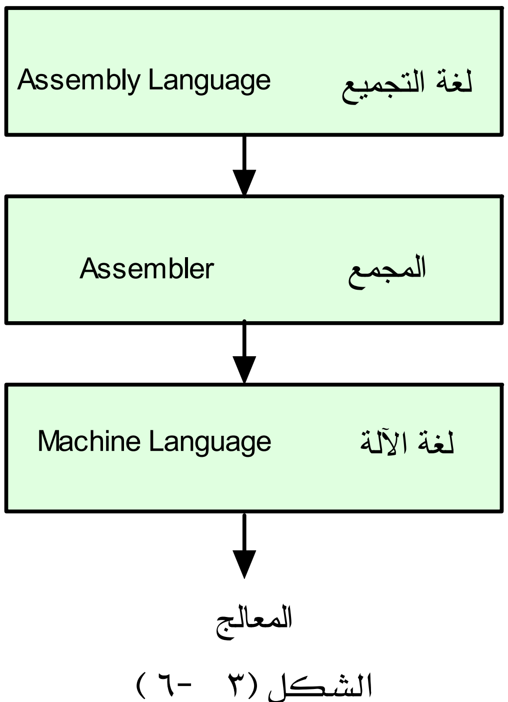
ناقل التحكم :

يعتبر ناقل إشارات التحكم ذو اتجاهين، إلا أنه لا يوجد شكل قياسي لعدد خانات هذا الناقل، إذ أن عددها وعلاقاتها تختلف كثيراً من معالج إلى آخر. يستخدم المعالج ناقل إشارات التحكم لتنسيق العمليات والاتصال بالمكونات الخارجية.

برمجة المعالج:

المعالج لا يفهم إلا لغة واحدة خاصة به و هي لغة الآلة و التي تتشكل من أعداد ثنائية (٠ و ١). يصعب للمبرمج استخدام هذه اللغة، لذلك تم تطوير لغات أخرى تُسهل برمجة المعالج. تُصنف هذه اللغات باللغات منخفضة المستوى (Low level languages) مثل لغة التجميع Assembly language و اللغات عالية المستوى (High level languages) مثل لغة C و البيسك و لغة الجافا...الخ.

لغة التجميع، و هي تعليمات تشبه كلمات باللغة الإنجليزية تسمى بـ mnemonics ، تسهل برمجة المعالج لكنها تظل لغة معقدة إذا ما قارناها مع لغات عالية المستوى. إذا استخدمنا لغة التجميع لكتابة برنامج ما، لكي نستطيع مخاطبة المعالج، يجب تحويل شفرة لغة التجميع إلى شفرة لغة الآلة. يقوم بعملية التحويل برنامج يسمى بالمجمع أو Assembler. الشكل (٣ -٦) يوضح عملية برمجة المعالج بلغة التجميع.



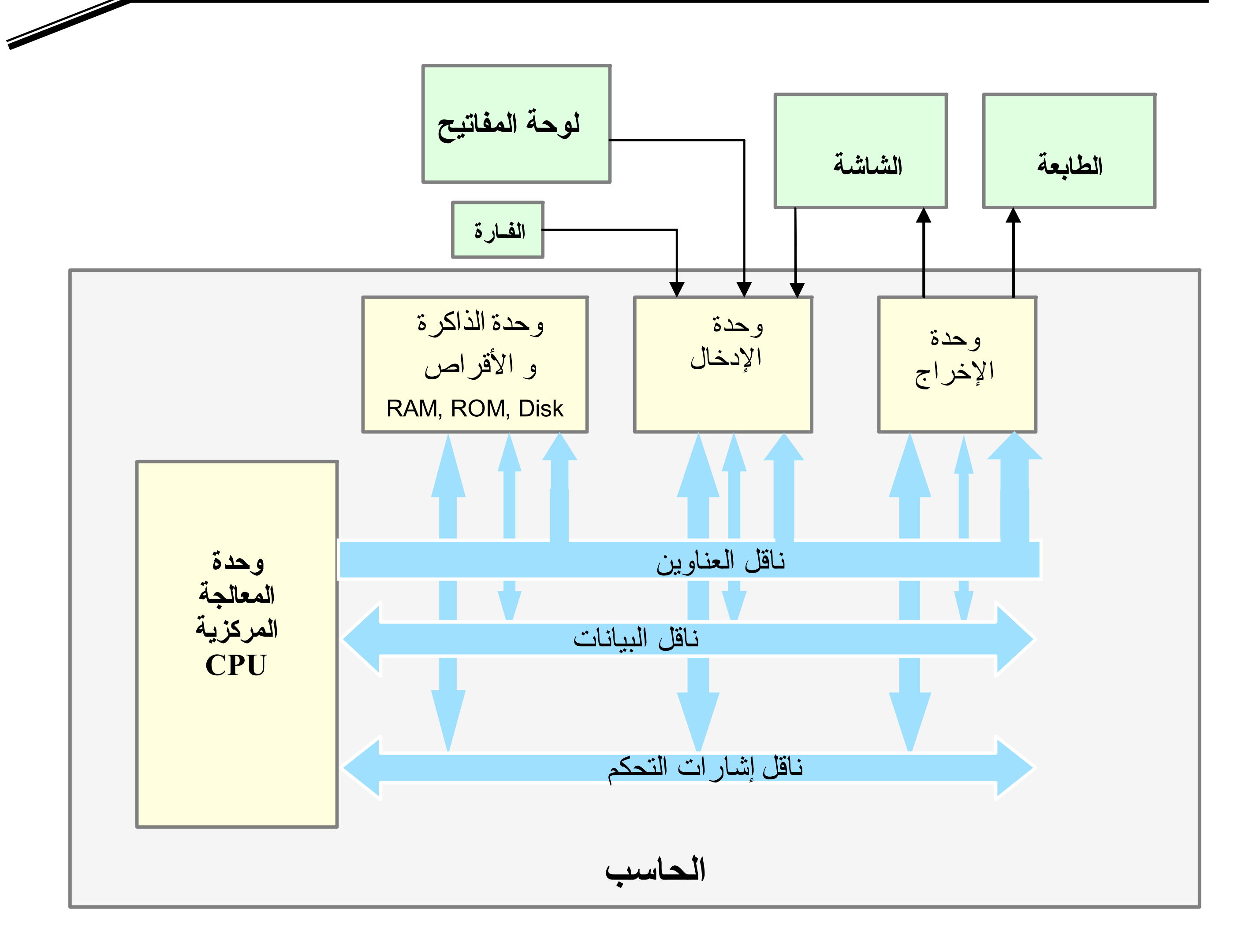
الشكل (٣ -٦)

أما لغات البرمجة عالية المستوى، التي لا تعتمد على نوع المعالج ، فإنها تُحول إلى لغة الآلة عن طريق ما يسمى بالمترجم (Interpreter) أو بالمفسر (Compiler).

سوف نعود إلى موضوع برمجة المعالج في الفقرات القادمة بشكل أكثر وضوحاً.

الحاسب:

لكي نحصل على جهاز حاسب ما علينا إلا توصيل المعالج بمكونات خارجية مثل الذاكرة (RAM و ROM) و أجهزة الدخل و الخرج (Input/Output Devices). يُبين الشكل (٤ - ٦)مكونات حاسب نموذجي.



الشكل (٤ - ٦)

تتصل وحدة المعالجة المركزية CPU مع كل من وحدات الذاكرة و الإدخال والإخراج من خلال نواقل العناوين والبيانات والتحكم.

وحدة المعالجة المركزية CPU

تتكون هذه الوحدة من المعالج وجميع الدوائر الداخلية. مبدئياً ، يقوم CPU بـ:

١. تحديد عنوان في الذاكرة.
٢. جلب تعليمة البرنامج المخزّنة في مكان الذاكرة.
٣. تنفيذ التعليمة.

عند نهاية تنفيذ التعليمة الحالية ، ينتقل CPU إلى التعليمة التالية. يكرر هذه العملية إلى نهاية جميع التعليمات التي تخص البرنامج.

وحدة الذاكرة:

تتكون وحدة الذاكرة من RAM وROM و قرص لتخرين البرامج. تُخزَّن البيانات والبرامج في RAM مؤقتاً أثناء تنفيذ تعليمات البرنامج، و تُخزن برامج النظام في ROM مثل BIOS. تقوم برامج النظام عامة بالتحكم في الشاشة والطابعة وفحص جهاز الحاسب من الأخطاء ومهام أخرى.

بما أن RAM هي ذاكرة تحتفظ بالبيانات بشكل مؤقت، فعند قطع التيار يجب استعمال وسيلة أخرى لحفظ البرامج. نستخدم القرص لتمكين الحاسب من استرجاع البرامج عندما نحتاج إليها.

وحدات الإدخال و الإخراج:

يستقبل جهاز الحاسب المعلومات الخارجية عن طريق وحدة الإدخال، و يرسل المعلومات عن طريق وحدة الإخراج.

المعالج أنتل ٨٠٨٦

مقدمة

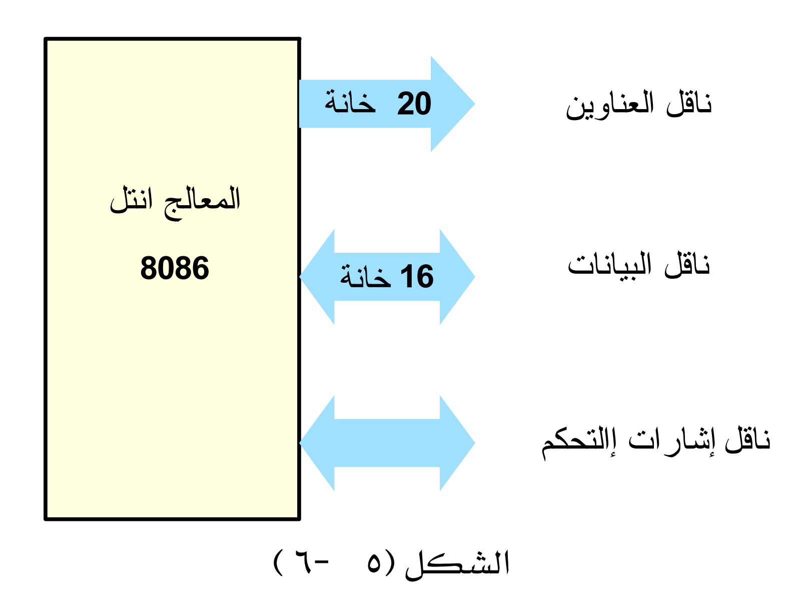
المعالج أنتل ٨٠٨٦ هو معالج ١٦ خانة، يستخدم كوحدة معالجة مركزية CPU في أجهزة الحاسب. ١٦ خانة تعني أن وحدة الحساب والمنطق و السجلات الداخلية ومعظم الأوامر مصممة للعمل مع بيانات ثنائية طولها ١٦ خانة. يعتبر المعالج الفئة الأولى للمعالجات ٨٠×٨٦ (٨٠٢٨٦، ٨٠٣٨٦، ٨٠٤٨٦، بنتيوم...).

سوف نتطرق في هذه المادة إلى طريقة عمل المعالج الأساسية و البنية الداخلية له و وصف وحدة مواجهة الناقل unit Interface Bus (BIU) و معرفة وظائف السجلات الداخلية و وصف وحدة التنفيذ (EU)Execution Unit.

طريقة العمل الأساسية للمعالج ٨٠٨٦:

يحتوي المعالج أنتل ٨٠٨٦ على:

- ١٦ خانة ناقل البيانات Data Bus، تمكّن المعالج من قراءة وكتابة بيانات طولها ١٦ خانة (٢ بايت) أو ٨ خانات (١ بايت) من و إلى الذاكرة في نفس الوقت.أنظر إلى الشكل (٥ -٦)
- ٢٠ خانة ناقل العناوين، يمكّن المعالج من عنونة أي عنوان لـ ٢^٢٠ أو ١٠٤٨٥٧٦ مكان في الذاكرة. كل مكان في الذاكرة يمثل بايت (٨ خانات). لتخزين ١٦خانة يستعمل المعالج مكانين متتاليين في الذاكرة، سوف نتكلم أكثر تفصيلاً في هذا الموضوع لاحقاً.

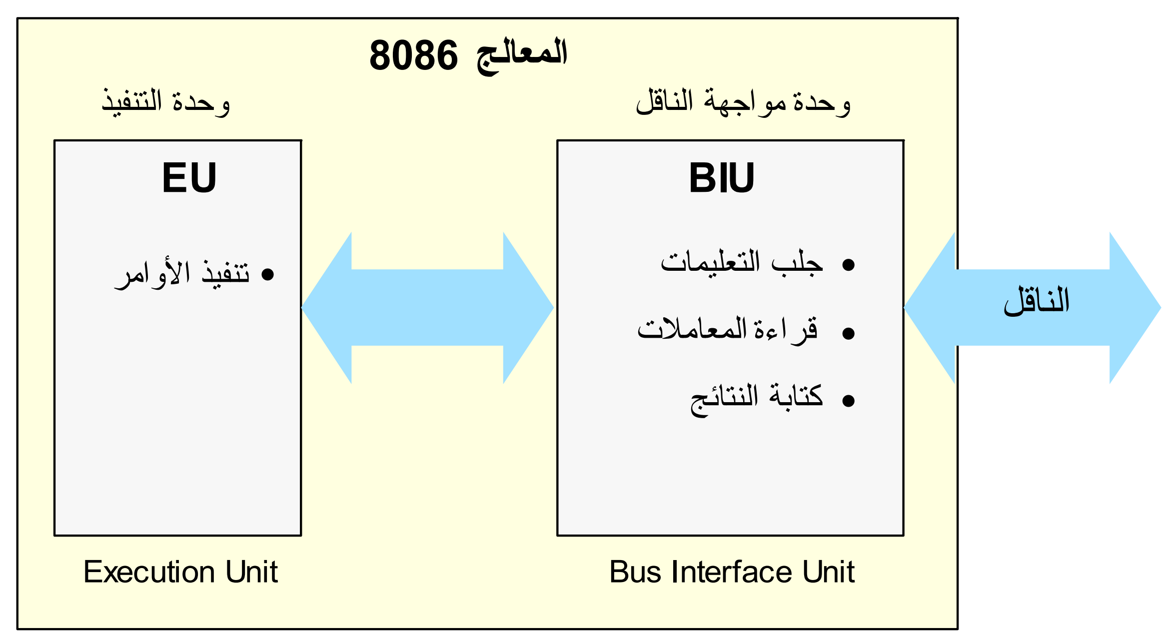


الشكل (٥ -٦)

المعالج هو مكوّن يقوم بتنفيذ برنامج (قائمة من التعليمات) من خلال تكرار الخطوات الأساسية التالية:

١. جلب التعليمة التالية من الذاكرة.
٢. قراءة التعليمة.
٣. تنفيذ التعليمة.
٤. كتابة الناتج في الذاكرة (إذا احتاجه البرنامج).

يتم تنفيذ هذه الخطوات الأساسية في المعالج ٨٠٨٦ من خلال وحدتين داخليتين منفصلتين هما: وحدة التنفيذ (EU) Executive unit لتنفيذ العمليات و وحدة مواجهة الناقل Bus Interface Unit (BIU) لربط المعالج بالذاكرة وغيرها وكذلك لجلب التعليمات و عملية القراءة و كتابة الناتج. هذه الوحدتين موضحتين في الشكل (٦ - ٦):

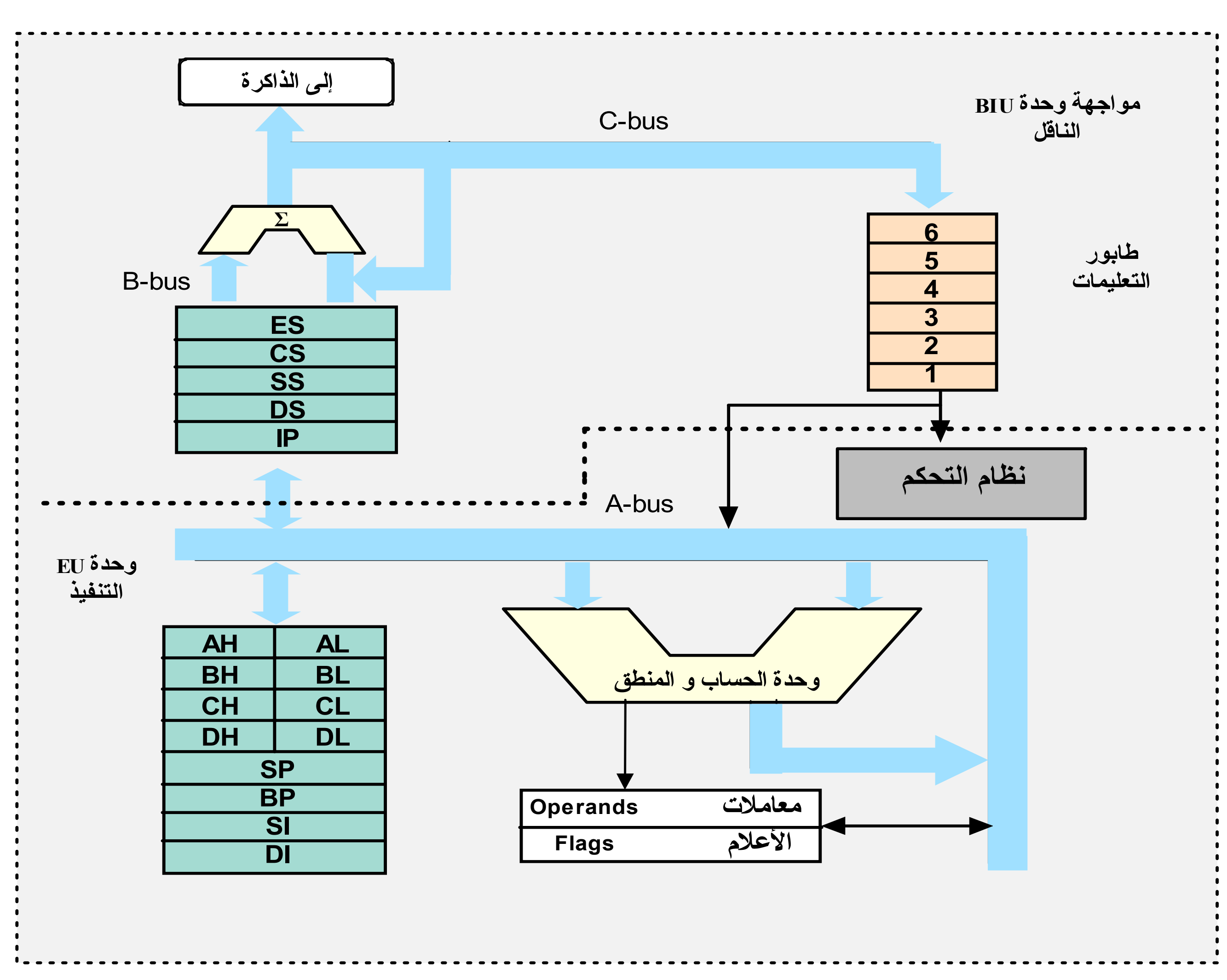


الشكل (٦ -٦)

تقوم وحدة مواجهة الناقل (BIU) بجميع عمليات النقل لوحدة التنفيذ (EU) كنقل البيانات من الذاكرة أو وحدة الدخل والخرج(I/O) بينما تقوم وحدة التنفيذ (EU) بتنفيذ التعليمات، تقوم كذلك BIU بجلب التعليمة التالية من الذاكرة. تسمى هذه العملية بجلب التعليمة (prefetching). تخزَّن التعليمات التي تم جلبها من الذاكرة سجلات داخلية تسمى طابور التعليمة(IQ)

يسمح هذا الطابور بتزويد وحدة (EU) بالتعليمات بدون انتظار التعليمات التالية· الطابور يسرِّع معالجة البيانات بدمج عملية الجلب و تنفيذ التعليمة الحالية ما يسمى بـ overlapping أو pipelining.

الشكل التالي يبين البنية الداخلية للمعالج ٨٠٨٦. يوضح الشكل (٧ -٦) كذلك بنية كل من الوحدتين الداخليتين EU و BIU.



الشكل (٧ -٦)

وحدة مواجهة الناقل (BIU):

تتكون وحدة مواجهة الناقل من أربع أقسام رئيسة هي:

١. طابور التعليمات
٢. سجلات التجزئة
٣. مؤشر التعليمة
٤. دائرة جامع العناوين

الاتصال بوحدة التنفيذ يتم عن طريق الناقل الداخلي للبيانات.

طابور التعليمة Instruction Queue(IQ)

طابور التعليمة يزيد من السرعة الإجمالية للمعالج وذلك بإحضار التعليمات من الذاكرة و تخزينها في الطابور قبل البدء في تنفيذها. يجلب المعالج ٨٠٨٦ ستة (٦) تعليمات كحد أقصى. تسمح هذه التقنية للمعالج ٨٠٨٦ بالقيام بعمليتين في نفس الوقت (الجلب و التنفيذ) و تسمى هذه التقنية بـ pipelining أو overlapping.

سجلات التجزئة (Segment Registers):

تتكون جميع سجلات التجزئة الأربع (CS, DS, ES, SS) من ١٦ خانة و تستخدم لعنونة ١ ميغابايت (MBytes١) من مساحة الذاكرة.

لتنفيذ برنامج ما، يقوم المعالج ٨٠٨٦ بتقسيم مساحة الذاكرة إلى أربع مجموعات تسمى أجزاء segments، مساحة كل جزء لا تتعدى ٦٤ كيلوبايت (٦٥٥٣٦ بايت).

عنوان البداية أو القاعدة (base address) لكل جزء في الذاكرة تُعين من قبل البرنامج، و تخزّن أماكنها الحالية في سجلات التجزئة الأربع. وظيفة كل جزء تتلخص في التالي:

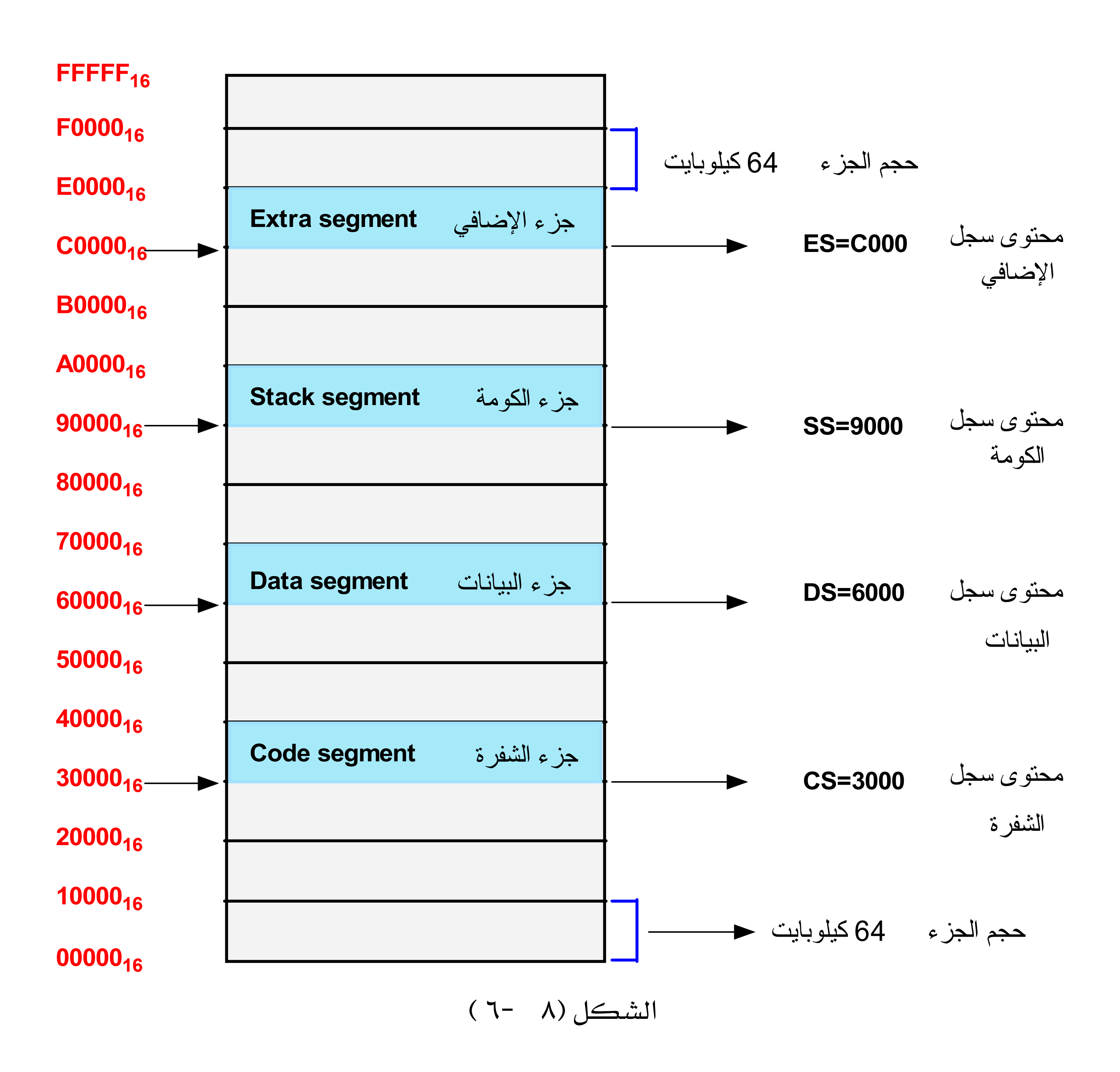
السجل CS (Code Segment) الذي يحتوي على عنوان بداية التعليمات.

السجل DS (Data Segment) الذي يحتوي على عنوان بداية البيانات.

السجل SS (Stack Segment) الذي يحتوي على عنوان بداية الكومة أو الرصّة.

السجل ES (Extra Segment) الذي يحتوي على عنوان بداية جزء إضافي.

الشكل (٨ -٦)يوضح مكان الأجزاء و مساحتها وعنوان القاعدة.



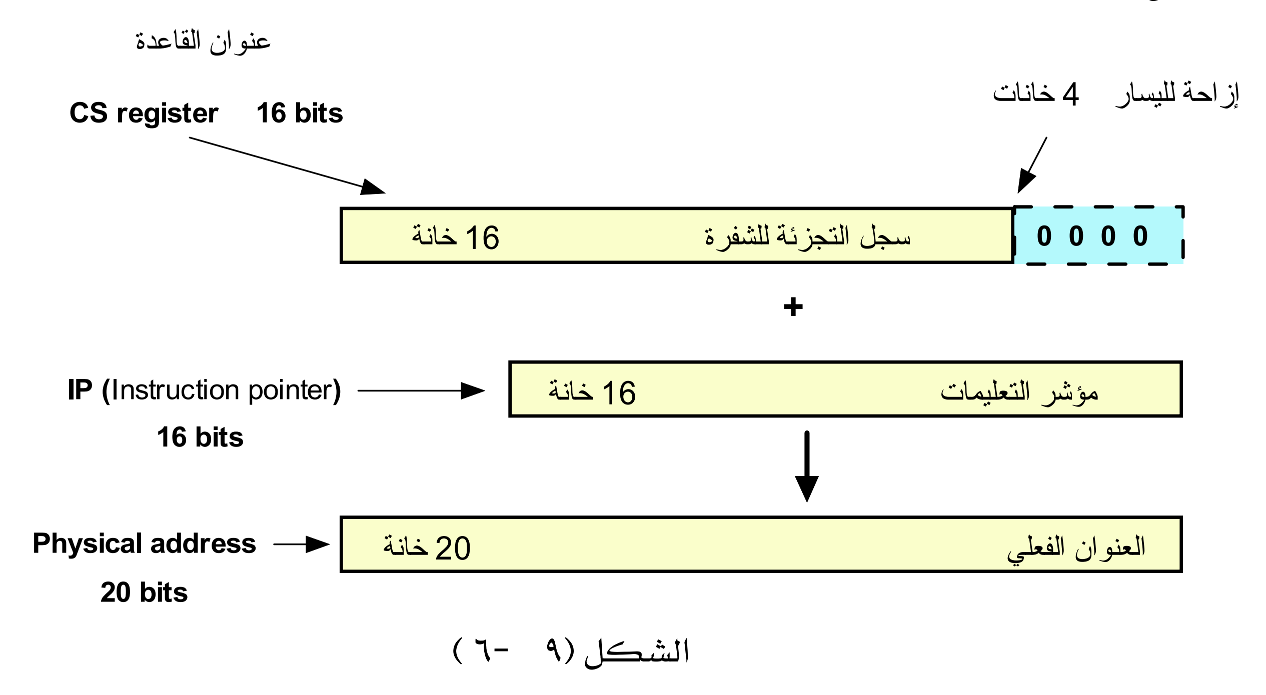
الشكل (٨ -٦)

ملاحظة: تضيف دائماً وحدة مواجهة الناقل أصفار في آخر ٤ خانات لعنوان البداية لكي يصبح ٢٠ خانة

مؤشر التعليمة Instruction Pointer(IP) و دائرة جمع العناوين:

مؤشر التعليمة يشير إلى التعليمة التالية في الذاكرة. يحتوي السجل IP على عنوان المعادل (Offset Address) للتعليمة التالية و التي هي المسافة بالبايت بين عنوان البداية أو القاعدة و عنوان الشفرة الحالي في سجل التجزئة (CS).

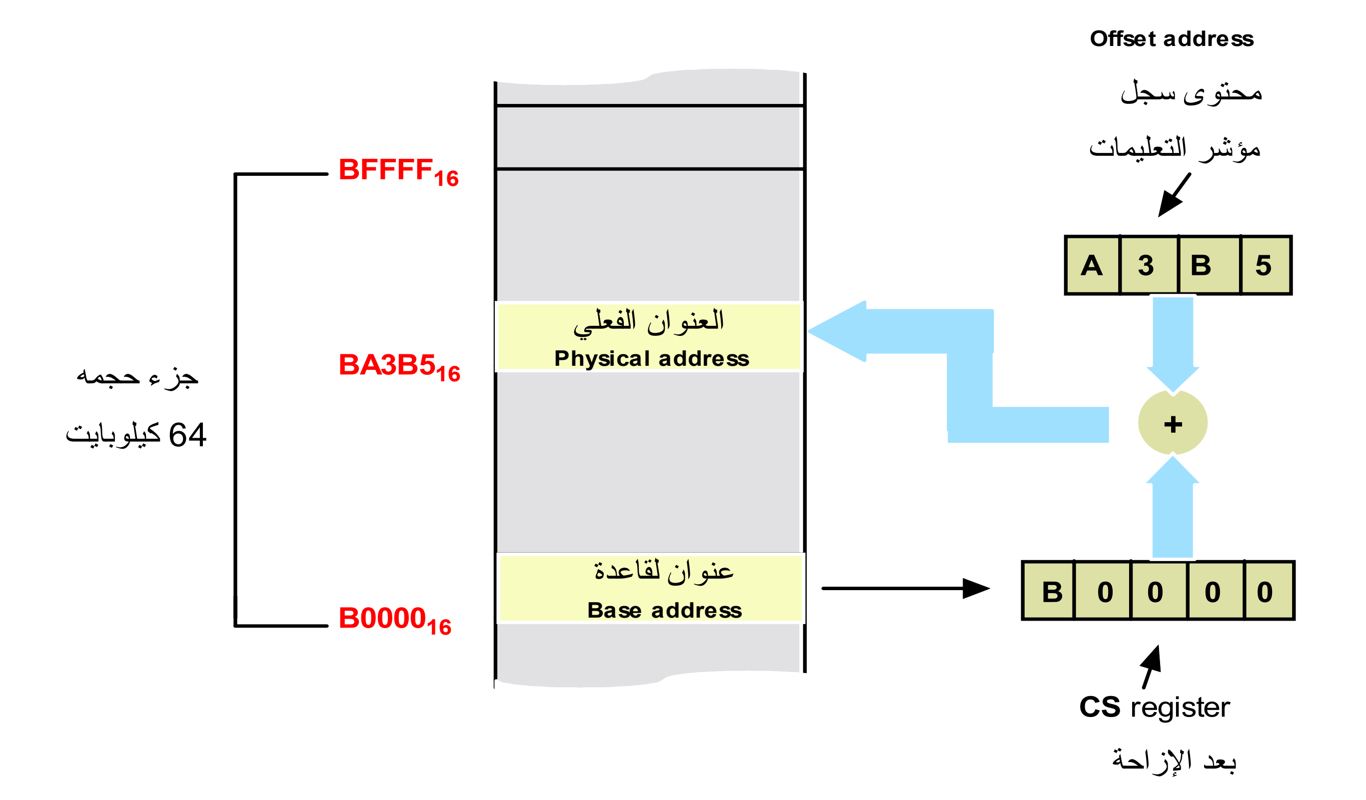
للحصول على الـ ٢٠ خانة للعنوان الفعلي للذاكرة التي تخرج من ناقل العناوين، نجمع ١٦خانة لعنوان المعادل IP مع عنوان البداية للسجل CS الحاصل بعد إزاحته بأربعة خانات إلى اليسار كما هو مبين في الشكل (٩ -٦):



الشكل (٩ -٦)

هذه العملية قامت بها دائرة جامع العناوين. الشكل التالي يوضح عنونة مكان في الذاكرة باستخدام طريقة التجزئة. في هذا المثال يحتوي سجل التجزئة CS على $B000_{16}$ و سجل مؤشر التعليمات IP على $A3B5_{16}$. عند إزاحة سجل التجزئة CS وإضافته إلى السجل IP نحصل على $BA3B5_{16}=A3B5_{16}+B0000_{16}$

يوضح الشكل (١٠ -٦) هذه العملية.



الشكل (١٠ -٦)

مثال: أوجد العنوان الفعلي في الذاكرة للتعليمة في الحالة التالية:

$A034_{16}$=CS
$FF2_{16}$=IP٠

الحل:

$A1332_{16}=0FF2_{16}+A0340_{16}$

سؤال : أوجد العنوان الفعلي عندما يكون CS يحتوي على العنوان $B4D_{16}$٦ .

وحدة التنفيذ Execution Unit (EU)

تقوم وحدة التنفيذ بفك الشفرة التي تم جلبها من وحدة BIU و كذلك بتوليد إشارات التحكم المناسبة و تنفيذ التعليمات. الأجزاء الرئيسة لوحدة التنفيذ هي:

١. وحدة الحساب والمنطق.ALU
٢. سجلات العامة General purposes.

٣. الأعلام.(Flags)

وحدة الحساب والمنطق (ALU)

تقوم هذه الوحدة بجميع عمليات البرمجة والمنطق. مثل الجمع والطرح وAND و OR وXOR والزيادة والنقصان والإزاحة باستخدام ١٦ خانة أو ٨ خانات.

السجلات العامة:

في الشكل الذي يوضح البنية الداخلية للمعالج ٨٠٨٢ نجد ٨ سجلات عامة ٨ خانات باسم AH ، AL ، BL ، CH ، CL ، DH ، DL.

يمكن استخدام هذه السجلات للتخزين المؤقت للبيانات التي طولها ٨ خانات. السجل AL يسمى بالمركم (Accumulator)و يتميز ببعض خصائص التي لا تتوفر في السجلات الأخرى.

تمثل كل من AL ، BL ، CL، DL ٨ خانات المنخفضة بينما AH ، BH ، CH ، DH٨ خانات الأعلى.

يوجد بالإضافة لسجلات العامة، ٤ سجلات ١٦ خانة باسم SP ، BP، DI ، SI. تسمى هذه السجلات بسجلات الفهرسة (Index) و التوجيه (Pointers) وتستخدم هذه السجلات في حالات مختلفة لعنونة الذاكرة تحت تحكم وحدة التنفيذ EU. الشكل (١١ -٦) يوضح ذلك:

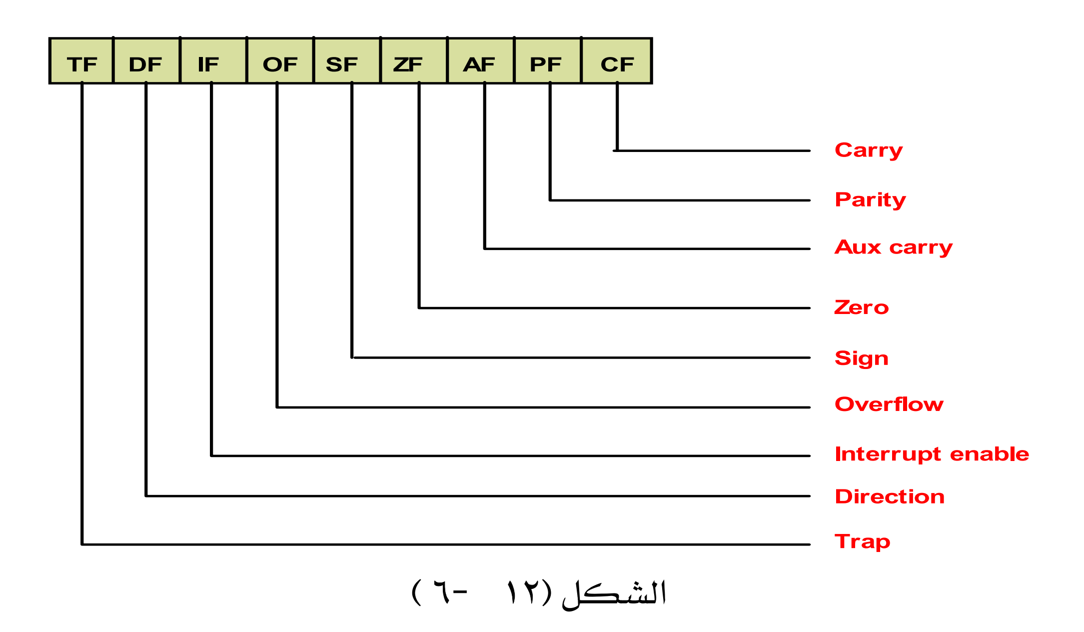
Accumulator	AL	AH	مجموعة البيانات
Base	BL	BH	
Count	CL	CH	
Data	DL	DH	

Stack Pointer	SP	مجموعة الفهرسة و التوجيه
Base pointer	BP	
Source Index	SI	
Destination Index	DI	

الشكل (١١ - ٦)

الإعلام (Flags):

سجل العلم هو عبارة عن دائرة قلاَّب يقوم بإخبار المعالج ببعض الحالات التي تنتج عن تنفيذ عملية أو تحكم في بعض عمليات وحدة التنفيذ. يحتوي سجل العلم على ٩ حالات وخانات تحكم كما هو مبين في الشكل (١٢ -٦):



الشكل (١٢ -٦)

يستخدم علم الحالة، وهو خانة واحدة، لإظهار حالة معينة بعد عمليات حسابية مثلCF علم الحمل و ZF علم الصفر أو SF علم الإشارة ... الخ. تستخدم أعلام التحكم لتغيير عمليات المعالجة في بعض الحالات.

تحسينات معالجات عائلة PENTIUM

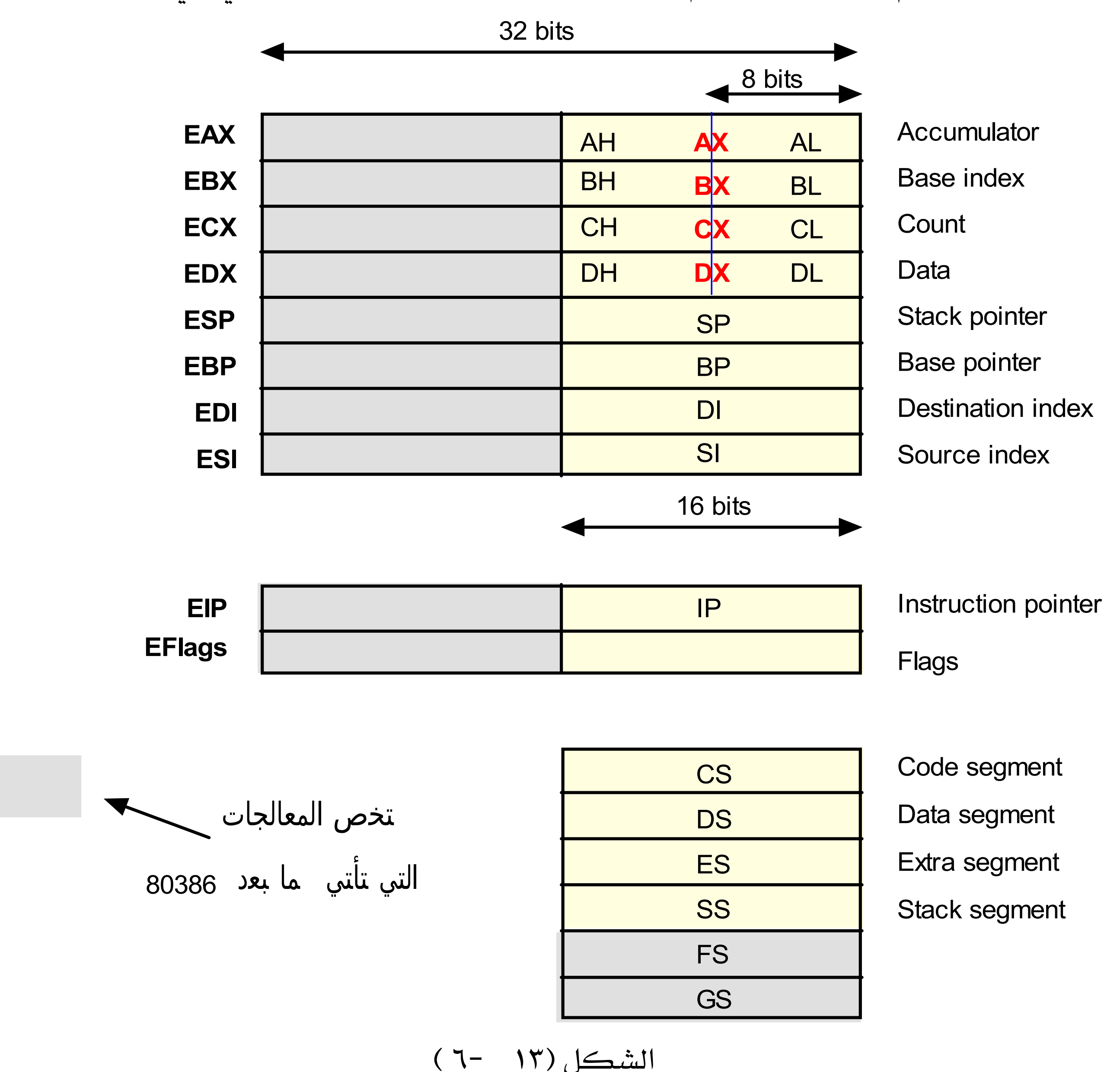
أتت معالجات بنتيوم بالكثير من التحديثات والتطويرات نذكر منها إدماج المعالج المساعد Coprocessor في شريحة المعالج, تمديد نواقل البيانات والعناوين بدرجة ملحوظة وبعض التحسينات الأخرى مثل سرعة الساعة ودورة تنفيذ الأوامر وما غيرها.

احتفظ مصنعو شرائح المعالجات على مبدأ التوافقية التصاعدية مما يعني أنه بإمكان أي معالج جديدأن يُشغل برامج كان يُشغله أحد المعالجات السابقة, وقد تم هذا بالاحتفاظ ببنية المسجلات التي كانت تخص المعالجات البدائية مثل ٨٠٨٦/٨٠٨٨.

أصبحت الآن مسجلات المعالجات السابقة والخاصة بـ ٨٠٨٦/٨٠٨٨ جزء من المسجلات التي تحتوي عليها عائلة البنتيوم. إبتداء من المعالج ٨٠٣٨٦, تم تمديد المسجلات ليصبح عدد خاناتها ٣٢ بت.

احتفظت مسجلات ٣٢ بت بنفس الاسم الأصلي إلا أنه تم إضافة حرف E بجوار الاسم الأصلي ليتحول من AX الذي كان عدد خاناته ١٦ بت إلىEAX الذي أصبح عدد خاناته ٣٢ بت وكذلك بالنسبة للمسجلات الأخرى مثل BX , CX , DX وغيرها.

يوضح الشكل (١٣ -٦) أنواع المسجلات المستخدمة بداية من ٨٠٨٨/٨٠٨٦ وحتى تلك المستخدمة مع عائلة معالجات بنتيوم. زيادة على ذلك تم إضافة عدد ٢ من مسجلات الأجزاء والتي هي FS و GS.



الشكل (١٣ -٦)

الذاكرة:

لقد رأينا سابقاً أن المعالج ٨٠٨٨/٨٠٨٦ يستطيع أن يقوم بعنوية ١٠٤٨٥٧٦ مكان أو موقع في الذاكرة وذلك بواسطة ناقل عناوين عرضه ٢٠ بت (من A_0 إلى A_{19}).

في الواقع يكون جزء من هذه العناوين مخصص للذاكرة RAM و ROM وجزء آخر مخصص للمداخل والمخارج.

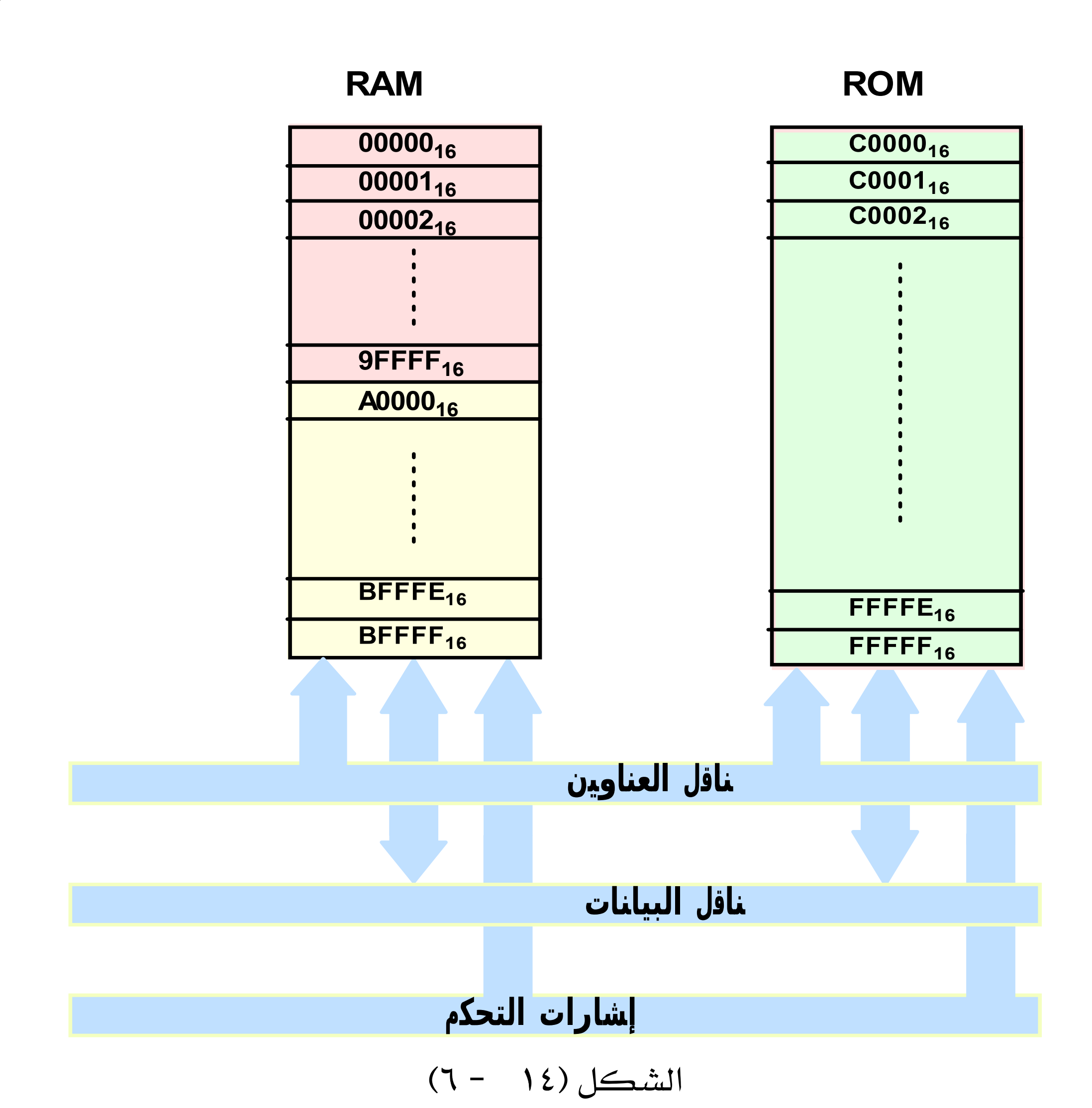
في معالجات انتل تحتوي المداخل والمخارج I/O على مجال من العناوين منفصل وخاص بهذه المنافذ الدخل والخرج.

قام مصممو جهاز IBM الأصلي بتجزئة ميجابايت الذاكرة إلى ٣ أقسام رئيسية:

منطقة المستخدم, والمنطقة الخاصة بعرض الفيديو ومنطقة النظام. وضمن هذه المناطق الثلاثة يوجد بعض المواقع محجوزة لأغراض مُحددة. تسمى المنطقة السفلى من ذاكرة RAM بالذاكرة التقليدية والتي حجمها ٦٤٠ كيلو بايت وتبدأ من أسفل الذاكرة (الموقع) والتي غالباً ما تكون في متناول المستخدمين مباشرةً بعد جزء الذاكرة الذي يتكون من ٦٤٠ كيلو بايت, يأتي جزء من الذاكرة يحتوي على ١٢٨كيلو بايت محجوز لذاكرة الفيديو ويكون عنوانه بين A0000 و BFFFF وتتمثل في المعلومات التي تظهر على شاشة الجهاز.

في أعلى الميجا بايت من الذاكرة أو ٢٥٦ كيلو بايت المتبقية والتي تبدأ من C0000إلى FFFFF فإنها مُخصصة لبرامج النظام والتي تكون في جزء الذاكرة القابلة للقراءة.ROM

يوضح الشكل (١٤ -٦) مخطط الذاكرة لجهاز كمبيوتر من نوع ٨٠٨٨/٨٠٨٦, نلاحظ من الشكل أن مجال عناوين RAM يتراوح بين $٠٠٠٠٠_{١٦}$ و $BFFFF_{16}$ ما يعني ٧٨٦٤٣١ موقع تحتوي على دائرة المستخدم وذاكرة العرض (فيديو), أما ذاكرة ROM والتي يتراوح مجالها بين $C0000_{16}$ و $FFFFF_{16}$ فإنها تحتوي على ٢٦٢١٤٣ موقع.



الشكل (١٤ - ٦)

في الأجهزة الحديثة يطلق على الذاكرة التي تحتوي على مواقعها على عناوين أكثر من $FFFFF_{16}$ بالذاكرة الممتدة أو الموسعة.

يتلخص دور المعالج في عمليتين أساسيتين مع الذاكرة وهما عملية القراءة والكتابة. خلال عملية القراءة يقوم المعالج بالبحث عن تعليمة برنامج, عنوان ثاني الذي يظهر كبيانات. خلال عملية الكتابة يرسل المعالج البيانات التي تم معالجتها أو حسابها إلى الذاكرة.

منافذ الدخل / الخرج I/O ports

تعتبر المنافذ كنوافذ بين جهاز الكمبيوتر والعالم الخارجي. يستطيع الكمبيوتر من الاتصال مع أي جهاز آخر عبر منافذ الدخل / الخرج I/O ports .

يوضح الشكل (١٥ -٦) مخطط صندوقي لجهاز كمبيوتر مع منافذه للدخل/ الخرج و بعض الأجهزة المُلحقة. تكون بعض المنافذ مخصصة لإدخال البيانات فقط والبعض مخصصة لإخراج البيانات فقط والبعض ذو اتجاهين يعني لإدخال وإخراج البيانات. كل معالجات انتل ٨٠×٨٦ وبنتيوم قادرة على عنونة ما يقارب ٦٤٠٠٠ منفذ.

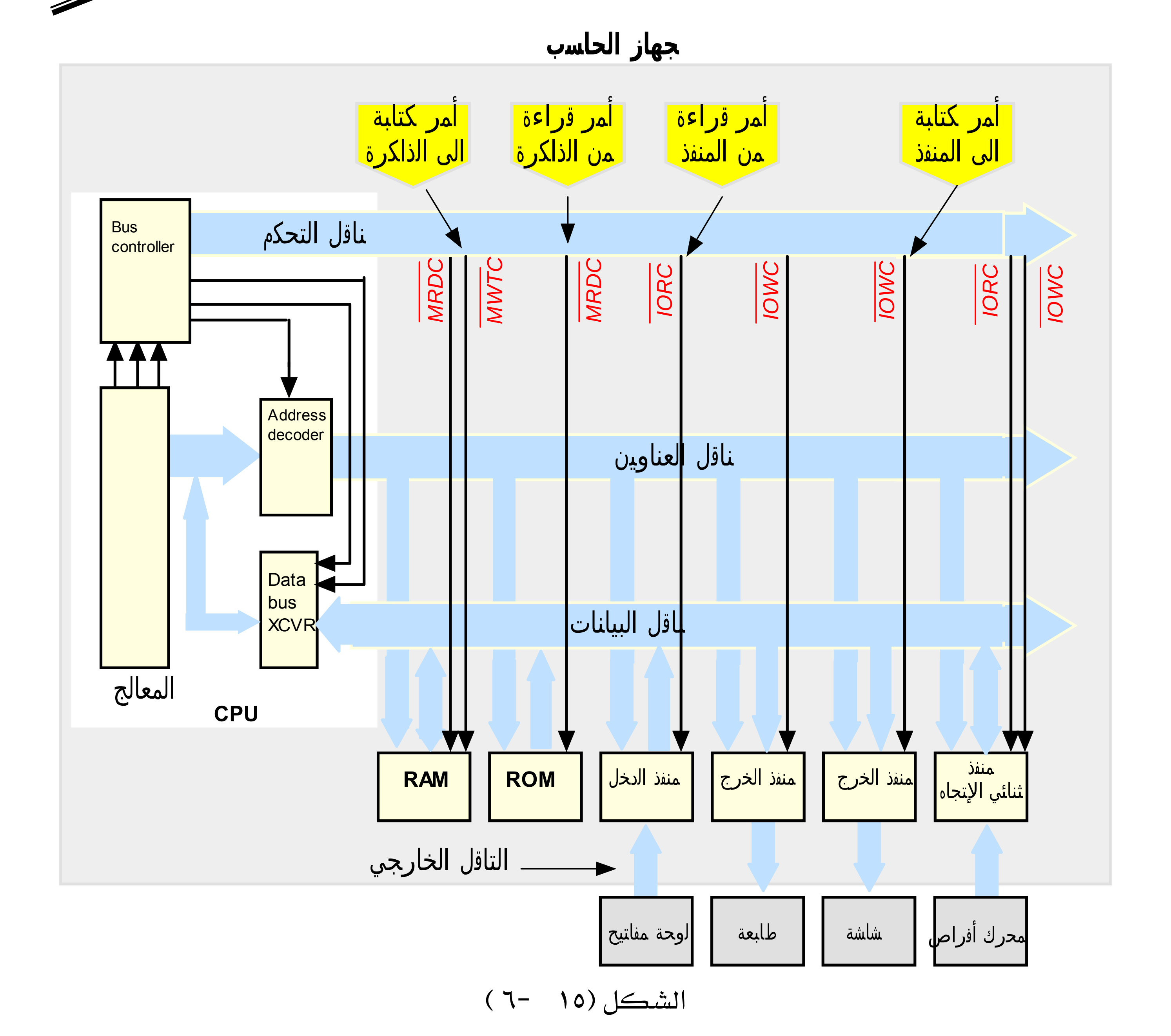
تستطيع أن تكون منافذ الدخل / الخرج كمنافذ مكرسة Dedicated I/O Ports أو كمنافذ دخل/ خرج مخططة في الذاكرة Memory mapped I/O Ports .

المنفذ المكرس Dedicated I/O Ports هو عبارة عن منفذ يحتوي على عنوان معين ووحيد ضمن عناوين الدخل/ الخرج للجهاز.

ولتمكين عملية الاتصال مع المنفذ نستخدم أوامر دخل/خرج خاصة ومكرسة أيضاً. ويكون مجال عناوين المنافذ في هذه الحالة منفصل تماماً عن مجال عناوين الذاكرة RAM.

يمكننا الوصول والاتصال بالمنافذ المكرسة باستخدام أوامر القراءة والكتابة $\overline{IORC}$ و $\overline{IOWC}$ كما هو موضح في الشكل.

جهاز الحاسب

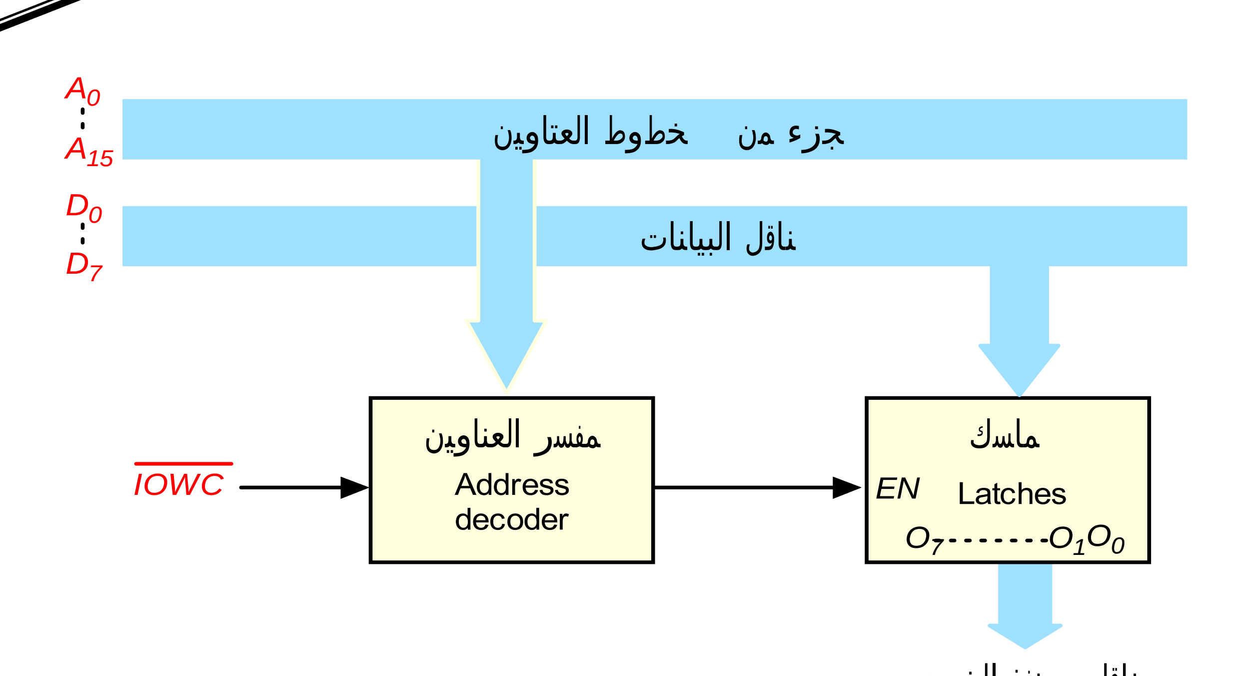


الشكل (١٥ -٦)

يشتغل منفذ الخرج كالتالي: يحتوي المنفذ على عنوان واحد من بين مجموعة عناوين الدخل / الخرج التي يتضمنها النظام, ما يعني هذا عنوان وحيد ومختلف عن باقي عناوين المنافذ الأخرى.

نستخدم الـ ١٦ بت الأولى (A_0 إلى A_{16}) لعنونة منافذ الدخل / الخرج.

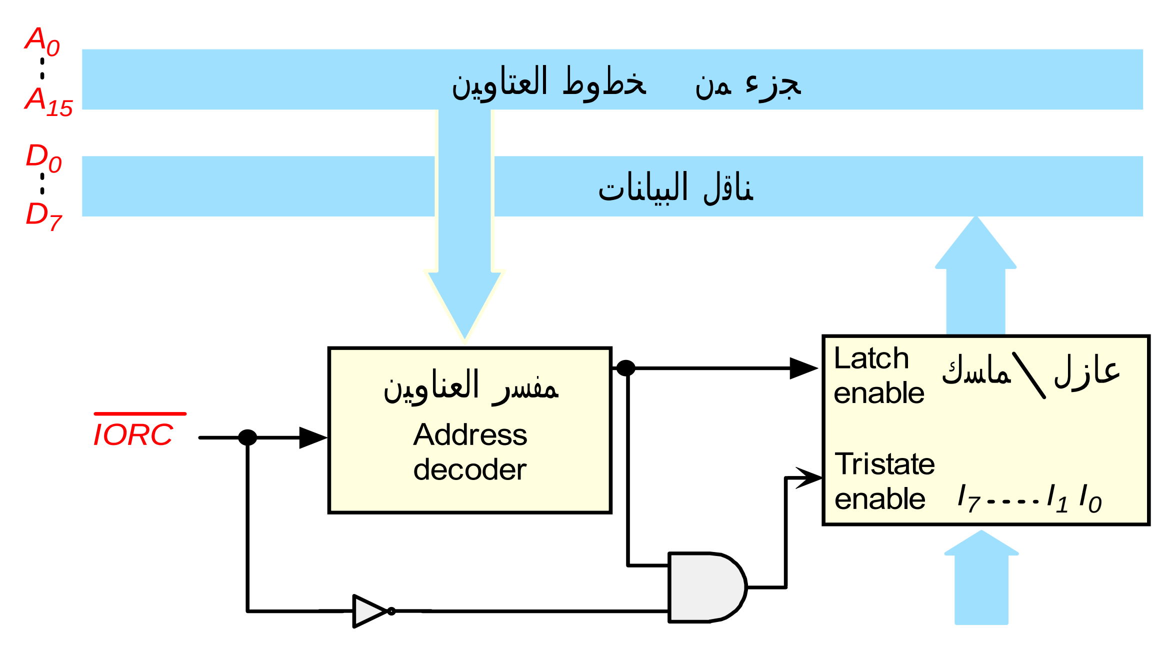
خلال عملية الخرج يضع المعالج عنوان المنفذ على ناقل العناوين Address Bus ويقوم المعالج بتنشيط إشارة التحكم بالكتابة $(\overline{IOWC}=0)$ ما يؤدي إلى تمكين مفسر العناوين Address decoder الذي بدوره يولد إشارة تمكين الماسك Octal Latches الذي يعطي إمكانية للبيانات على الخروج من منفذ الخرج وهذا موضح بالشكل (١٦ -٦)



الشكل (١٦ -٦)

أما خلال عملية الدخل تكون خطوط المنفذ موصلة بناقل بيانات النظام. يتطلب هذا أن تكون خطوط مخرج المنفذ معطلة ومعزولة عندما لا يكون المنفذ حيز الاستخدام وذلك لتجنب التداخل مع باقي النشاطات التي تجري على ناقل البيانات Data bus .

يوضح الشكل (١٧ -٦) تطبيق بسيط لمنفذ دخل مكرس.



الشكل (١٧ - ٦)

إن النوع الثالث لمنافذ الدخل/ الخرج فيتمثل في منفذ الدخل/الخرج ثنائي الاتجاه, والذي هو عبارة عن تجميع لمنافذ الدخل والخرج مع إضافة بعض إشارات التحكم لتمكين العملية.

يمكن منفذ ثنائي الاتجاه جريان البيانات من وإلى جهاز ملحق مثل القرص الصلب.

أما النوع الثاني من المنافذ فهو الذي يخص منافذ الدخل/ الخرج المخططة في الذاكرة Memorymapped $^{I}/_{O}$ Ports.

يُشبه تطبيق هذا النوع من المنافذ نظيره المكرس والموضح في الأشكال السابقة مع فرق في الأشياء التالية:

- يتم تعيين عناوين منافذ الدخل/ الخرج المخططة في الذاكرة ضمن مجال كل ذاكرة الكمبيوتر وتظهر للمعالج وكأنها مواقع في الذاكرة. نستخدم كافة العشرين خط عناوين لمنافذ الدخل/ الخرج المخططة في الذاكرة في ۸۰۸۸/۸۰۸٦ .
- يستطيع المعالج الوصول إلى المنافذ المخططة في الذاكرة بإشارات التحكم $\overline{MRDC}$ و $\overline{MWTC}$ بدلاً من $\overline{IORC}$ و $\overline{IOWC}$ ما يعني أن المعالج يتعامل مع المنافذ المخططة في الذاكرة نفس معاملة مواقع أو أماكن الذاكرة. بدلاً من استخدام أوامر لغة التجميع IN و OUT لإدخال واخراج البيانات عبر المنافذ المكرسة, نستخدم الأمر MOV لعملية إدخال أو إخراج عبر المنافذ المخططة في الذاكرة.

من عيوب استخدام المنافذ المخططة في الذاكرة أنها تستهلك مساحة في الذاكرة مما يؤثر على أداء الجهاز وكذلك تتطلب عملية تفسير العناوين كامل ناقل العناوين بدلاً من الستة عشر خط المستخدمة في حالة المنافذ المكرسة.

برمجة المعالج بلغة التجميعAssembly Language Programming :

يجب برمجة جميع الحاسبات للقيام بمهام معينة حتى البدائية منها. سوف نركز في هذا الفقرة على المفاهيم الأساسية لبرمجة المعالج بلغة التجميع.

تتكون البرامج من قائمة مرتبة من التعليمات، هدفها القيام بمهمة معينة. لننظر كيف ينفذ المعالج برنامج بسيط. لنأخذ المثال التالي:

١. إدخال قيمة من منفذ الدخل رقم ٢. يمكن أن تكون هذه القيمة مثلاً درجة الحرارة الخارجية.
٢. إضافة العدده ٥ إلى القيمة المدخلة. يمكن أن يمثل هذا العدد معامل تصحيح لدرجة الحرارة.
٣. إخراج الجمع إلى منفذ الخرج رقم ٣. إظهار درجة الحرارة مثلاً على جهاز الأوسيلوسكوب أو جهاز آخر.

يجب كتابة التعليمة أو التعليمات لكل مهمة لإخبار المعالج بما سوف يقوم به. لكل معالج مجموعة تعليمات (Instruction Set) يمكن للبرامج استخدامها للقيام بمهمة معينة. مثلاً المعالج ٨٠٨٦ له ما يقارب ١٠٠ تعليمة.

إن التعليمة، هي الوحدة الأساسية في عملية المعالجة وتتألف من قسمين: الأول يسمى بشفرة العملية Opcode التي تصف ما تقوم به التعليمة. والثاني يسمى بالمعاملات Operands التي تصف المعطيات والعناصر التي تحتاجها التعليمة لمعالجة البيانات.

للتوضيح أكثر نأخذ المثال السابق لشرح دور التعليمة.

في الخطوة الأولى نستخدم التعليمة IN لإخبار المعالج بنقل البيانات من المنفذ المخصص لذلك إلى المركم AL. تُمثل التعليمة IN بالشفرة العملية Opcode (٨ خانات): $١١١٠٠١٠٠_٢$=$E4_{16}$. يكون مكان الشفرة العملية في الذاكرة RAM و يحدد عنوانه المبرمج. مكان الذاكرة الذي يلي شفرة العملية يحتوي على المعطيات و هو في المثال رقم منفذ الخرج. في نهاية تنفيذ هذه التعليمة، تكون القيمة المخزّنة في المركم AL تساوي القيمة التي كانت موجودة بمنفذ الدخل رقم ٢.

في الخطوة الثانية نستخدم التعليمة ADD لإخبار المعالج بإضافة المُعامل ٥ إلى محتوى المركم AL، و وضع الناتج في المركم AL مرة ثانية. تُمثل التعليمة ADD بشفرة العملية التالية: $٠٠٠٠٠١٠٠_٢$=$٠٤_{١٦}$. نجد هذه القيمة مخزّنة في مكان الذاكرة الذي يلي رقم المنفذ السابق.

عنوان الذاكرة الذي يلي التعليمة ADD يحتوي على المُعامل٥.

في الخطوة الثالثة نستخدم التعليمة OUT لإخبار المعالج بنقل محتوى المركم AL (الذي يحتوي على حاصل الجمع)إلى منفذ الخرج رقم ٣. تُمثل التعليمة OUT بشفرة العملية ١١١٠٠١١٠=$E6_{16}$. هذه القيمة مخزّنة في مكان الذاكرة الذي يلي المُعامل ٥ ويليه رقم المنفذ ٣.

الشكل التالي يوضح محتوى الذاكرة RAM. نأخذ عنوان A0000 كبداية لعنوان الذاكرة الفعلية للبرنامج.

عنوان الذاكرة الفعلي	RAM	الشفرة
A0000	١١١٠٠١٠٠	شفرة العملية IN
A0001	٠٠٠٠٠٠١٠	رقم منفذ الدخل ٢
A0002	٠٠٠٠٠١٠٠	شفرة العملية ADD
A0003	٠٠٠٠٠١٠١	المُعامل ٥
A0004	١١١٠٠١١٠	شفرة العملية OUT
A0005	٠٠٠٠٠٠١١	رقم منفذ الخرج ٣

كتابة البرنامج بلغة التجميع يكون كالتالي:

لغة التجميع	تعليق
IN AL,02H	إدخال بايت من المنفذ٢ وتخزينه في المركم AL.
ADD AL,05H	إضافة ٥ إلى محتوى المركم AL.
OUT 03H,AL	إخراج حاصل الجمع إلى المنفذ ٣.

كتابة البرنامج بلغة الآلة تكون كالتالي:

شفرة لغة الآلة	التعليق
١١١٠٠١٠٠($E4_{16}$)	شفرة العمليةIN
٠٠٠٠٠٠١٠($٠٢_{١٦}$)	رقم المنفذ
٠٠٠٠٠١٠٠($٠٤_{١٦}$)	شفرة العمليةADD
٠٠٠٠٠١٠١($٠٥_{١٦}$)	المعامل
١١١٠٠١١٠($E6_{16}$)	شفرة العمليةOUT
٠٠٠٠٠٠١١($٠٣_{١٦}$)	رقم المنفذ

تنفيذ البرنامج:

لتنفيذ البرنامج يجب استخدام حاسب متوافق مع IBM أو طقم خاص يستخدم فيه المعالج ٨٠٨٦ وكذلك برنامج المجمع Assembler مثل MASM أو TASM لكتابة الشفرات.

خطوات تنفيذ البرنامج تتلخص في:

١. جلب التعليمة IN.
٢. فك شفرة العملية IN.
٣. قراءة رقم المنفذ من الذاكرة.
٤. الاتصال بالمنفذ باستخدام دوائر الدخل و الخرج (I/O) و نقل قيمة الثنائية الموجودة بالدخل إلى المركم AL.
٥. جلب التعليمة ADD.
٦. فك شفرة العملية ADD.
٧. قراءة المُعامل من الذاكرة و إضافته إلى محتوى AL وتخزين الناتج في AL.
٨. جلب التعليمةOUT.
٩. فك شفرة العملية OUT.
١٠.قراءة رقم المنفذ من الذاكرة.
١١. الاتصال بالمنفذ باستخدام دوائر الدخل و الخرج (I/O) و نقل القيمة الثنائية الموجودة بالمركم AL إلى منفذ خرج.

هذا المثال يعطيك فكرة عامة و بسيطة عن طريقة عمل برنامج باستخدام لغة التجميع.

أنواع التعليمات Instruction Set:

لا يمكن تغطية جميع أنواع التعليمات هنا لكن سوف نسرد بشكل مختصر جداً بعض التعليمات:

١. **تعليمات البيانات:**

IN	إدخال
OUT	إخراج
MOV	نقل
PUSH	حفظ في الكومة
POP	جلب من الكومة
XCHG	تبادل

مثال: التعليمة MOV: الشكل العام لهذه التعليمة تكون كالتالي:

MOV Destination, Source

تتلخص وظيفتها في نقل البيانات من المصدر Source إلى مكان سجل الهدف Destination. مكان المصدر يمكن أن يكون:

- قيمة معينة و تسمى هذه الحالة بحالة العنونة الفورية Immediate Addressing Mode و تكتب التعليمة كالآتي: MOV CL, 48H و تعني نقل البايت ٤٨H إلى السجل CL.
- محتوي سجل آخر و يسمى هذا النوع بحالة العنونة السجلات Register Addressing Mode و تكتب التعليمة كالآتي: MOV BL, CL و تعني نقل محتوى السجل CL إلى السجل BL.
- محتوى مكان في الذاكرة و يسمى هذا النوع بحالة العنونة المباشرة Direct Addressing Mode و تكتب التعليمة كالآتي: MOV BL, [437AH] و تعني نقل محتوى الذاكرة التي عنوانها ٤٣٧AH + عنوان القاعدة الموجود بسجل التجزئة للبيانات DS. إذا كان DS=20000H فإن العنوان يصبح ٢٤٣٧AH.

٢. **تعليمات حسابية:**

ADD	إضافة
INC	زيادة
DEC	إنقاص
CMP	مقارنة
SUB	الطرح
MUL	الضرب
DIV	القسمة

مثال: التعليمة ADD: الشكل العام لهذه التعليمة تكون كالتالي:

ADD destination, source

تتلخص وظيفة هذه التعليمة في جمع المصدر و الهدف. مثال: ADD BL, 06H. إذا أردنا إضافة ٧٨H و ٠٨H فنقوم بنقل ٠٨H إلى سجل معين ثم نضيفه إلى الثاني كالآتي:

```
MOV AL, 08H
ADD 78H, AL
```

ملاحظة: لا يمكن القيام بعملية الجمع مباشرة فالتعليمة ADD 78H, 08H غير مقبولة.

٣. **تعليمات التعامل مع الخانات:**

NOT
AND
OR
XOR
SAR إزاحة إلى اليمين
SAL إزاحة إلى اليسار

مجمع تصحيح الأخطاء Debugging

نستطيع تنفيذ برنامج في لغة تجميع وذلك باستخدام المجمع المبين في أجهزة الكمبيوتر التي تشتغل على نظام القرص DOS . سوف نلاحظ كيف يتم تنفيذ البرنامج خطوة خطوة.

يحتوي نظام التشغيل DOS على برنامج يطلق عليه اسم Debug في نافذة سطر الأوامر DOS. اكتب Debug ثم اضغط على الزر Enter يظهر بعدها علامة (-) ناقص والذي يدل على أننا في بيئة البرنامج Debug.

يحتوي البرنامج Debug على العديد من الأوامر لمشاهدة أو إدخال بيانات أو برامج . نستطيع أن نرى قائمة الأوامر التي تحتوي عليها Debug بطباعة ؟ ثم Enter.

قبل البدء في كتابة وتنفيذ برنامج تجميع بإمكاننا إدخال بعض البيانات وذلك بطباعة البيانات المُظللة.

تـأمر Debug أب يبـدأ التجميـع –a50 في جزء البيانـات في العنـوان المعـادل H٥٠ (مكتـوب في النظـام السـت عشـري) يـدل هنـا D8٢٠ علـى عنـوان الجـزء والـذي يسـتطيع أن يكـون مختلـف عنـد تنفيـذ Debug.

قم بكتابة ما يلي:

<D8 : 0050 **dw 30** <enter٢٠
<D8 : 0052 **dw 15** <enter٢٠
<D8 : 0054 **dw a0** <enter٢٠
<D8 : 0056 **dw 0c** <enter٢٠
<D8 : 0058 **dw 00** <enter٢٠

يدل **dw** على موجه تجميع, تعلم المجمع أن يحجز لكل نقطة بيانات عدد ٢بايت رغم أننا نستعمل هنا بيانات طولها بايت واحد (٣٠, ١٥ , a0, c٠, ٠٠) .

بإمكاننا إدخال البرنامج في الموقع ١٠٠ كالآتي:

```
<a 100  <enter –
<D8 : 0100  Mov ax, 0  <enter٢٠
<D8 : 0103  Mov Bx, 50  <enter٢٠
<D8 : 0106  Cmp Word ptr[bx],0  <enter٢٠
<D8 : 0109  JZ 112  <enter٢٠
<D8 : 010B  add ax, [bx]  <enter٢٠
<D8 : 010D  add bx, 2  <enter٢٠
<D8 : 0110  Jmp 106  <enter٢٠
<D8 : 0112  Mov [bx],ax   <enter٢٠
<D8 : 0114  nop <enter٢٠
<D8 : 0115   <enter٢٠
```

لكي نتحقق من إدخالنا للبرنامج بصفة صحيحة, نكتب u 100 114 في بيئة Debug بعدها تظهر الأوامر أو أسطر البرنامج التي طبعناها على الشاشة(بالأحرف الكبيرة) اكتب الآن r وتظهر بعدها قائمة المسجلات ومحتوياتها.

نلاحظ أن مؤشر الأوامر IP يحتوي على القيمة ١٠٠ والتي هي عنوان بداية البرنامج.

مباشرةً تحت المسجلات تظهر أول تعليمة في البرنامج والتي هي: MOV AX,0000. عند كتابة الأمر t يقوم Debug بتنفيذ الأمر MOV AX,0000 ويعطينا آخر محتويات المسجلات ويظهر التعليمة المقبلة BX,0050 MOV والتي عندما ننفذها بالأمر t تظهر لنا أن العدد ٥٠ قد تم نقله إلى المسجل BX.

يوضح الشكل (١٨ -٦)كل الخطوات إلى هذه النقطة.

```
-u  100  114
20D8: 0100  B80000          MOV          AX,0000
20D8: 0103  BB5000          MOV          BX,0050
20D8: 0106  833F00          CMP         WORD PTR [BX],+00
20D8: 0109  7407            JZ           0112
20D8: 010B  0307            ADD          AX, [BX]
20D8: 010D  83C302          ADD          BX,+02
20D8: 0110  EBF4            JMP          0106
20D8: 0112  8907            MOV          [BX], AX
20D8: 0114  90              NOP
-r
AX=0000   BX=0000  CX=0000   DX=0000     SP=FFEE     BP=0000     SI=0000
DI=0000
DS=20D8  ES=20D8   SS=20D8  CS=20D8   IP=0100      NV  UP  EI  PL  ZR  NA  PE
NC
20D8: 0100  B8000           MOV          AX,0000
-t

AX=0000   BX=0000   CX=0000    DX=0000   SP=FFEE   BP=0000    SI=0000
DI=0000       DS=20D8   ES=20D8    SS=20D8    CS=20D8    IP=0103    NV   UP   EI
PL  ZR  NA  PE  NC
20D8: 0103  BB5000          MOV          BX,0050
-t

AX=0000   BX=0050   CX=0000   DX=0000   SP=FFEE   BP=0000    SI=0000
DI=0000
DS=20D8   ES=20D8   SS=20D8   CS=20D8   IP=0106    NV  UP  EI  PL  ZR  NA  PE
NC
20D8: 0106  833F00          CMP                 WORD PTR [BX],+00
         DS:0050=0030
```

الشكل (١٨ -٦)

إذا واصلنا كتابتنا للأمر t يكون بإمكاننا تنفيذ كامل البرنامج خطوة خطوة والذي من خلاله نلاحظ كيف تتغير محتويات المسجلات في كل خطوة أو عند تنفيذ أي أمر.

وهذا ما يظهر في الشكل(١٩ -٦).

```
DS=20D8   ES=20D8   SS=20D8   CS=20D8   IP=0110   NV UP  EI  PL  NZ  NA  P0
NC
20D8: 0110  EBF4          JMP          0106
-t

AX=00F1   BX=0058   CX=0000   DX=0000   SP=FFEE   BP=0000    SI=0000
DI=0000
DS=20D8   ES=20D8   SS=20D8    CS=20D8   IP=0106   NV   UP   EI   PL   NZ   NA
P0  NC
20D8: 0106  833F00        CMP               WORD PTR [BX],+00
        DS:0058=0000
-t

AX=00F1    BX=0058    CX=0000    DX=0000    SP=FFEE    BP=0000    SI=0000
DI=0000
DS=20D8   ES=20D8   SS=20D8    CS=20D8   IP=0109   NV   UP   EI   PL   ZR   NA
PE  NC
20D8: 0109  7407           JZ                 0112
-t

AX=00F1    BX=0058    CX=0000    DX=0000    SP=FFEE    BP=0000    SI=0000
DI=0000
DS=20D8   ES=20D8   SS=20D8   CS=20D8   IP=0112     NV   UP   EI   PL   ZR   NA
PE  NC
20D8: 0112  8907           MOV          [BX], AX
        DS:0058=0000
-t

AX=00F1    BX=0058    CX=0000    DX=0000    SP=FFEE    BP=0000    SI=0000
DI=0000
DS=20D8   ES=20D8   SS=20D8  CS=20D8   IP=0114     NV  UP  EI  PL  ZR  NA  PE
NC
20D8: 0114  90                     NOP
-d 0050  005f
20D8: 0050    30    00    15    00    A0    00    0C    00-F1    00    00    00    20    20    20
0.....................
-
```

البيانات المستخدمة

حاصل جمع
البيانات المستخدمة

الشكل (١٩ -٦)

لقد رأينا في البرنامج السابق عملية جمع لعدد من الأرقام ولهذا استعملنا حلقة .Loop

الحلقة هي مجموعة من الأوامر تتكرر وتنفذ إلى أن يتحقق شرط في البرنامج, في حالتنا هذه الشرط هو العثور على قيمة الصفر في البيانات المدخلة والذي يتم فحصه في الأمر Cmp Word ptr[Bx],0 .

عندما يتحقق الشرط يقفز البرنامج إلى العنوان ٠١١٢ وبعدها يتوقف البرنامج بتنفيذ آخر أمر.

في الأخير إذا كتبنا d 0050 005F يعرض لنا برنامج Debug مواقع الذاكرة الخاصة بالبيانات التي تتراوح عناوينها بين ٠٠٥٠ و F٠٠٥ وذلك بعد الانتهاء من آخر تعليمة في البرنامج. كما هو موضح في الشكل (١٩ -٦).

في الشكل (١٩ -٦) آخر سطرين. يظهر في آخر سطر محتويات الذاكرة من ٠٠٥٠ إلى F٠٠٥, نلاحظ كل البيانات التي أدخلناها ما عدا الصفر في السطر ٠٠٥٨, لماذا؟ لأن الأمر في السطر ٠١١٢ والذي هو: Mov [bx],ax يأمر المجمع أن ينقل محتوى ax [جمع الأعداد] إلى العنوان المؤشر إليه بالمسجل bx والذي هو آخر عنوان يعني ٠٠٥٨ والذي كان من قبل ٠٠ وأصبح الآن F1٠٠ [حصل جمع الأعداد الأربعة].

اختبار ذاتي

١. عرف المعالج واذكر عناصره ؟

٢. كيف تنتقل البيانات من وحدة إلى أخرى في الحاسب ؟

٣. اذكر المكونات الأساسية للحاسب ؟

٤. ما هي مميزات عند استخدام سجلات المعالج الداخلية بدل من الذاكرة RAM مباشرة؟

٥. ما هو الشيء الذي يحدد أن معالج ما هو معالج ١٦ خانة أو ٣٢ خانة؟

٦. كم خط عنوان يحتوي المعالج ٨٠٨٦ وما هو حجم الذاكرة التي يمكن للمعالج أن يتعامل معها؟

٧. ما هي وظيفة الطابور بالمعالج ٨٠٨٦؟ ما هو دور الطابور في أداء المعالج.

٨. ما معنى كل من Opcode و Operands؟

٩. ما هي الذاكرة الفعلية في الحالات التالية:

CS: IP=4370:561E
CS: IP=7A32:0028

١٠. إذا كان عنوان جزء الشفرة Code Segment يساوي H٧٠٤٠٠ ، فما هو محتوى السجل CS و ما هو العنوان الفعلي للذاكرة للشفرة عندما تكون قيمة السجل IP تساوي CH٥٣٩؟

١١. باستخدام فقط التعليمات ADD و MOV ، اكتب البرامج التالية:

أ - C=A+B
ب - B=3*B+7

المراجع

١. سليم عمر إدريس : مبادىء التصميم الإلكتروني الرقمي
شعاع للنشر و العلوم، الطبعة الأولى ٢٠٠٢.

٢. أحمد عبد المتعال : الإلكترونيات الرقمية و تطبيقاتها العملية،
دار النشر للجامعات، الطبعة الأولى ٢٠٠١.

٣. ذيب محمد اسماعيل غنيم : دوائر المنطق الإلكترونية و الرقمية،
منشورات ELGA ، الطبعة الثانية ١٩٩٩.

٤. Ytha, Yu, Charles Marut: Assembly Language Programming and Organization of the IBM PC, Mc Graw Hill, 1992, isbn 0-07-072692-2.

٥. Douglas V. Hall: Microprocessors Interfacing, Programming and hardware, 2nd Edition, Mc Graw Hill, 1992, isbn 0-07025744-2.

٦. Thomas L. Floyd: Digital Fundamentals, 6th Edition, Prentice-Hall International Editions, 1994, isbn 0-13-573478-9.

٧. Roger L. Tokheim : Digital Electronics, 5th Edition, Mc Graw Hill, 1999.

المحتويات

تقدر المؤسسة العامة للتعليم الفني والتدريب المهني الدعم

المالي المقدم من شركة بي آيه إي سيستمز (العمليات) المحدودة

GOTEVOT appreciates the financial support provided by BAE SYSTEMS

BAE SYSTEMS